



**UNIVERSIDAD NACIONAL
DE LA PATAGONIA
SAN JUAN BOSCO**

INGENIERÍA ELECTRÓNICA
PROYECTO FINAL DE CARRERA

**DISEÑO Y VALIDACIÓN EXPERIMENTAL DE UN
SISTEMA DE COMUNICACIONES OFDM SOBRE
RED ELÉCTRICA (PLC) DE INTERIORES**

Alumnos:

Figna, Juan Ignacio
Vanecek, Rhys Tomás

Directores:

Colombo, Martín Alejandro
De Marziani, Carlos Manuel

Año 2025

1. DEDICATORIA

Juan I. Figna: A mi querido abuelo Juan Ludovico Figna. Lastimosamente, nos tuviste que dejar poco antes de finalizar este trabajo, me hubiese encantado poder compartirlo con vos, mostrarte todo lo que hice y el hasta donde llegué. Sé que nos estás mirando desde el otro lado y que estás muy orgulloso de mí, voy a llevarte conmigo por siempre, sos un ejemplo de esfuerzo y de vida, y por ello es que te dedico este trabajo. Te amo, QEPD.

A toda mi familia, que me apoyaron en este largo camino, mi mamá Valeria que siempre me dió todo, a mi querida nain (abuela) Minnie, a Félix y a mi gatita Titi (que también es familia).

A mi pareja Sasha por su contención y apoyo incondicional, estando allí cuando más lo necesité, cuando parecía que iba a tirar la toalla, ayudándome a levantar y seguir adelante. Siempre fuiste la primera sentada en la tribuna con las dos porras en las manos alentándome y festejando todos mis logros. Y es por ello que te hago especial mención, sin vos, todo hubiese sido más cuesta arriba que nunca.

A mi grupo de amigos, colegas, compañeros eternos, y tantas formas más de nombrarlos que se me ocurren en este momento, Toto (Tomás, con quien tengo el mayor de los agrados de realizar este trabajo), Mapache (Nico), D-Man (Dami), Milthor (Milton) y Fedex (Fede). La forma que nos apoyamos, que convivimos y trabajamos juntos fue única, y es una marca imborrable de esta etapa de mi vida.

Rhys T. Vanecek: Quiero dedicar este logro a mi camada de compañeros: Federico, Damián, Milton y Nicolás, por los incontables buenos momentos, las risas compartidas y el apoyo mutuo durante las largas jornadas de estudio a lo largo de toda la carrera. Una mención especial a Juan, con quien hemos invertido una inmensa cantidad de tiempo, esfuerzo y dedicación para materializar este trabajo; compartir este último y gran desafío académico con vos ha sido un privilegio.

Dedico este trabajo a mi familia, el pilar fundamental de mi vida. A mi madre Silvina y a mi hermano Vitus, por su amor incondicional, sus sacrificios y por ser mi guía en cada paso del camino. A mis tías Giuliana y Alejandra, a mi tío Juan y a mis primos, quienes me acompañaron durante todo el trayecto de la carrera brindándome su apoyo constante. A mi abuela Liliana, por su cariño inagotable. Y finalmente a mi abuelo Juan, que aunque ya no está físicamente con nosotros, siempre tuvo la certeza y confió ciegamente en que me convertiría en un gran profesional de la ingeniería

2. AGRADECIMIENTOS

Expresamos nuestro más sincero agradecimiento a nuestros directores, Martín Alejandro Colombo y Carlos Manuel De Marziani, así como también a nuestro profesor Miguel Ángel Mayosky por su invaluable orientación, paciencia y dedicación a lo largo de este proyecto. Sus conocimientos técnicos y su guía constante fueron fundamentales para la concreción de este trabajo.

Hemos de destacar a Martín por ayudarnos en la obtención de la unidad FPGA utilizada como de las unidades AFE, siendo componentes críticos y vitales para la confección de este trabajo. Sin ellos, este proyecto no hubiese sido posible.

Asimismo, extendemos nuestro agradecimiento al Grupo de Ingeniería de Comunicaciones de la Universidad de Málaga (UMA), por poner a disposición de la comunidad académica la herramienta de generación de canales PLC, recurso indispensable para la etapa de simulación y validación de este trabajo.

3. RESUMEN

Este trabajo presenta el diseño, implementación y validación experimental de un prototipo de transceptor PLC-OFDM de banda ancha sobre FPGA, concebido como una plataforma de demostración para cuantificar la discrepancia de rendimiento entre los modelos teóricos y un entorno físico real de interiores. El sistema adapta la Capa Física del estándar IEEE 1901 a las restricciones de hardware de un AFE comercial (MAX2981) y un SoC Zynq, operando en la banda de 5-15 MHz.

La metodología integra una simulación de referencia basada en modelos de canal de la Universidad de Málaga, un diseño de simulación en MATLAB y una implementación física en la red eléctrica del laboratorio universitario, sometida a escenarios de ruido impulsivo asincrónico real. Los resultados experimentales evidencian que el ruido impulsivo asincrónico es el factor dominante de error por encima de la atenuación, topología de red o la longitud del enlace. Se concluye que, para mitigar la naturaleza destructiva e inevitable del ruido impulsivo en entornos reales, la robustez de la Capa Física es una condición necesaria pero insuficiente, requiriéndose la implementación de mecanismos de corrección en capas superiores (MAC/FEC) para garantizar la fiabilidad del servicio.

Palabras Clave: OFDM, PLC, IEEE 1901, Capa Física, Ruido Impulsivo, FPGA, VHDL, Hardware.

4. ABSTRACT

This paper presents the design, implementation, and experimental validation of a broadband PLC-OFDM transceiver prototype on an FPGA, developed as a demonstration platform to quantify the performance gap between theoretical models and a real indoor physical environment. The system adapts the IEEE 1901 Physical Layer to the hardware constraints of a commercial AFE (MAX2981) and a Zynq SoC, operating in the 5-15 MHz band.

The methodology integrates a reference simulation based on University of Málaga channel models, a simulated implementation using MATLAB and a physical implementation in the university laboratory power grid, subjected to real asynchronous impulsive noise scenarios. Experimental results reveal that asynchronous impulsive noise is the dominant error factor, surpassing attenuation, network topology, or link length. It concludes that, to mitigate the destructive and inevitable nature of impulsive noise in real environments, the robustness of the Physical Layer is a necessary but insufficient condition, requiring the implementation of correction mechanisms in higher layers (MAC/FEC) to ensure service reliability.

Keywords: OFDM, PLC, IEEE 1901, Physical Layer, Impulsive Noise, FPGA, VHDL, Hardware.

ÍNDICE

1. DEDICATORIA	1
2. AGRADECIMIENTOS	2
3. RESUMEN	3
4. ABSTRACT	3
5. ÍNDICE DE FIGURAS	1
6. ÍNDICE DE TABLAS	3
7. LISTA DE ACRÓNIMOS	3
8. INTRODUCCIÓN	5
8.1. Contexto PLC-OFDM	5
8.2. Motivación	6
8.3. Objetivo General	6
8.4. Objetivos Específicos	6
8.5. Organización y Estructura	7
9. MARCO TEÓRICO	9
9.1. Modulación Digital	9
9.1.1. Modulaciones M-arias y BPSK	11
9.2. Canal PLC y Ruido Impulsivo	12
9.2.1. Modelo Matemático de Propagación Multitrayecto	13
9.2.2. El Entorno de Ruido en PLC	13
9.2.3. Consideraciones Adicionales Sobre el Canal PLC	15
9.3. Multiplexación por División de Frecuencias Ortogonales	15
9.3.1. Sistemas Multiportadora	16
9.3.2. Principio de Ortogonalidad y Eficiencia Espectral	17
9.3.3. Formulación Matemática de la Señal OFDM	19
9.3.4. Simetría Hermítica	20
9.3.5. Prefijo Cíclico	20
9.3.6. Resolución en Frecuencia	22
9.3.7. Estructura del Símbolo OFDM en el tiempo	22
9.3.8. Relación Potencia Pico a Promedio	23
9.4. Norma IEEE 1901	24
9.4.1. Parámetros de la Capa Física	24
9.4.2. Máscara de Tono Espectral	25
9.4.3. Estructura de Trama y Sincronización	26
9.5. Justificación de la Elección de la Tecnología	26
9.5.1. Selección de la Técnica de Multiplexación: OFDM vs. FBMC	26
9.5.2. Selección del Hardware Analógico (AFE)	27
9.5.3. Selección de la Plataforma Digital: FPGA	27
10.DISEÑO Y SIMULACIÓN DEL SISTEMA	28
10.1. Entorno de Simulación	28

10.1.1. Simulación de Canales	29
10.2. Elección de Parámetros	33
10.2.1. Técnica de Modulación	34
10.2.2. Señal a Transmitir: Características y Prestaciones	34
10.3. Arquitectura del Transceptor	38
10.3.1. Preparación de Datos y Modulación	39
10.3.2. Procesamiento Frecuencial e IFFT	40
10.3.3. Ensamblado Temporal	41
10.3.4. Arquitectura de Simulación del Canal	41
10.3.5. Arquitectura del Receptor	42
10.3.6. Estrategia de Recepción y Procesamiento	43
11.IMPLEMENTACIÓN Y PRUEBAS EXPERIMENTALES	44
11.1. ZedBoard (SoC Zynq)	44
11.2. AFE MAX2981	45
11.3. Estructura de Hardware y re-Diseño	46
11.3.1. Arquitectura del Firmware	47
11.3.2. Controlador del AFE	47
11.3.3. Descripción de la Interfaz Física y Asignación de Pines	48
11.3.4. Dominios de Reloj y Adaptación de Tasa	50
11.3.5. Interfaz de Datos Paralela	51
11.3.6. Interfaz de Configuración Serie (SPI)	51
11.3.7. Validación Funcional del Controlador (Simulación)	54
11.3.8. Implementación Física del AFE	57
11.4. Descripción del Canal Físico	58
11.5. Metodología de Medición y Captura	60
11.5.1. Metodología de Captura	60
11.5.2. Carga y Acondicionamiento de la Señal de Recepción	61
11.6. Sincronización y Caracterización de Latencia	62
11.6.1. Algoritmo de Sincronización Experimental y Validación	63
12.RESULTADOS Y DISCUSIÓN	65
12.1. Prueba A: Validación en Canal Limpio	65
12.1.1. Canal Limpio a Corta Distancia	66
12.1.2. Canal Limpio a Larga Distancia	68
12.2. Prueba B: Validación en Canal Hostil	70
12.2.1. Canal Hostil a Corta Distancia	70
12.2.2. Canal Hostil a Larga Distancia	73
12.3. Análisis de Resultados y Prestaciones	76
12.3.1. Evaluación de Métricas de Desempeño	76
12.3.2. Caracterización Física del Medio y Discrepancias del Modelo	76
12.3.3. Impacto de la Técnica de Modulación Seleccionada	77
12.3.4. Restricciones de la Arquitectura AFE y Adaptación Espectral	78
12.3.5. Estrategias de Transmisión y Coherencia Temporal	78
12.3.6. Caracterización Determinista del Retardo de Enlace	79
12.3.7. Impacto del Prefijo Cíclico	80
12.3.8. Efectos de No-Linealidad y Rango Dinámico	80
13.CONCLUSIONES Y TRABAJOS FUTUROS	82

13.1. Conclusiones	82
13.2. Alcance de Aplicación	83
13.3. Trabajos Futuros	84
14.BIBLIOGRAFÍA	85
15.ANEXOS	87
15.1. Arquitectura MATLAB	87
15.1.1. config.m	87
15.1.2. OFDM_simulacion.m	88
15.1.3. RAM.m	93
15.1.4. capturador_datos.m	94
15.1.5. OFDM_implementacion.m	95
15.2. Arquitectura en Hardware	100
15.2.1. top.vhd	100
15.2.2. ofdm_rom_player.vhd	103
15.2.3. spi_config_afe_tx.vhd	104
15.2.4. zedboard.xdc	106

5. ÍNDICE DE FIGURAS

1. Representación temporal (a) y digital (b) de una señal Modulación por Desplazamiento de Fase Binaria (BPSK)	11
2. Diagrama de Constelación de una señal BPSK (a), una señal QPSK (b) y una señal 16-QAM (c).	11
3. Taxonomía del Ruido en Canales PLC [1].	14
4. Arquitectura del Modulador OFDM.	16
5. División de Canal Selectivo en Frecuencia en N Subcanales.	17
6. Sistema Multiportadora Sin Superposición y de Espectro Idealizado.	17
7. Espectro OFDM de tres subportadoras ortogonales con forma de sinc(x).	18
8. Máscara de Tono según norma IEEE 1901 [2].	25
9. Canales ejemplo de la UMA [3].	30
10. Simulación Canal Limpio a corta distancia.	31
11. Simulación Canal Limpio a larga distancia.	32
12. Muestras de Ruido Impulsivo.	33
13. Señal a transmitir en el dominio del tiempo.	35
14. Componente imaginaria de la señal a transmitir.	36
15. Señal a transmitir en el dominio de la frecuencia.	36
17. Diagrama de flujo del Transmisor en MATLAB. (a) Preparación de datos y modulación.	39
18. Diagrama de flujo del Transmisor en MATLAB.(b) Procesamiento frecuencial e IFFT.	40
19. Diagrama de flujo del Transmisor en MATLAB.(c) Ensamblado temporal con Prefijo Cíclico.	41
20. Diagrama de flujo del simulador de canal PLC.	42
21. Diagrama de flujo del Receptor.	43
22. ZedBoard Zynq-7000 [4].	45
23. Diagrama de Bloques MAX2981 [5].	46
24. Pines del MAX2981 utilizado como Interfaz Analógica de Entrada/Salida (AFE) [6].	48
25. Método de escritura de los registros del AFE [5].	52
26. Simulación de la escritura del AFE en configuración transmisora.	54
27. Simulación de la escritura del registro 1 del AFE en configuración transmisora.	55
28. Simulación de la escritura del registro 2 del AFE en configuración transmisora.	55
29. Simulación de la escritura del registro 3 del AFE en configuración transmisora.	56
30. Simulación de la escritura del registro 6 del AFE en configuración transmisora.	56
31. Zedboard pines Estándar de Conexión para Tarjetas Hijas (FMC) (Conector FMC de Bajo Conteo de Pines (LPC)) [7].	57
32. Esquema eléctrico del módulo AFE [6].	57
33. Aspecto visual del módulo AFE.	58
34. Canal Medición Corta: Implementación.	59
35. Canal Medición Larga: Implementación.	59
36. Máquina Fresadora Modelo Lázaró Wasser - HE-806.	60
37. Osciloscopio Sigilent SDS1152CM	61
38. Señal Recibida $y[t]$ y Señal Transmitida $x[t]$	62
39. Señal Recibida $y[t]$ corregida.	63

40.	Diagrama de flujo del algoritmo de sincronización experimental por búsqueda del mínimo BER.	64
41.	Canal Limpio a Corta Distancia. Representación Temporal: Tx (Azul) vs Rx (Verde)	66
42.	Canal Limpio a Corta Distancia. Representación Espectral: Tx (Azul) vs Rx (Verde)	66
43.	Diagrama de Constelaciones: Puntos Teóricos (Azul) vs Señal Recibida (Rojo)	67
44.	Resultados en Consola: Probabilidad de error en bit experimental.	68
45.	Canal Limpio a Corta Distancia. Representación Temporal: Tx (Azul) vs Rx (Verde).	68
46.	Canal Limpio a Corta Distancia. Representación Espectral: Tx (Azul) vs Rx (Verde).	69
47.	Diagrama de Constelaciones: Puntos Teóricos (Azul) vs Señal Recibida (Rojo).	69
48.	Resultados en Consola: Probabilidad de error en bit experimental.	70
49.	Señal Recibida de la Implementación en el Dominio del Tiempo.	71
50.	Canal Hostil a Corta Distancia. Representación Temporal: Tx (Azul) vs Rx (Verde).	71
51.	Canal Hostil a Corta Distancia. Representación Espectral: Tx (Azul) vs Rx (Verde).	72
52.	Diagrama de Constelaciones: Puntos Teóricos (Azul) vs Señal Recibida (Rojo).	72
53.	Resultados en Consola: Probabilidad de error en bit experimental.	73
54.	Canal Hostil a Larga Distancia. Representación Temporal: Tx (Azul) vs Rx (Verde).	74
55.	Canal Hostil a Larga Distancia. Representación Espectral: Tx (Azul) vs Rx (Verde).	74
56.	Diagrama de Constelaciones: Puntos Teóricos (Azul) vs Señal Recibida (Rojo).	75
57.	Resultados en Consola: Probabilidad de error en bit experimental.	75

6. ÍNDICE DE TABLAS

1.	Clasificación de Sistemas PLC según Ancho de Banda y Tasa de Datos. . .	12
2.	Parámetros PHY definidos por IEEE 1901 para FFT-OFDM.	24
3.	Mapeo de pines completo: MAX2981 ↔ Conector FMC ↔ Matriz de Puer- tas Programable en Campo (FPGA) [7].	50
4.	Mapa de direcciones de registros del MAX2981 [5].	52
5.	Configuración del Registro 1 del AFE (Control de Energía) [5].	53
6.	Configuración del Registro 2 del AFE [5].	53
7.	Configuración del Registro 3 del AFE (Ganancia y Ajuste) [5].	53
8.	Configuración del Registro 6 del AFE (Control de Linealidad y Filtros) [5].	54
9.	Configuración binaria de los registros del MAX2981 (Modo Transmisión) [5].	54

7. LISTA DE ACRÓNIMOS

ADC	Conversor Analógico-Digital
AFE	Interfaz Analógica de Entrada/Salida
AGC	Control Automático de Ganancia
ARM	Compañía de Diseño de Software y Semiconductores
AWGN	Ruido Blanco Gaussiano Aditivo
BER	Tasa de Error de Bit
BPSK	Modulación por Desplazamiento de Fase Binaria
CP	Prefijo Cíclico
CSV	Valores Separados por Comas
DAC	Conversor Digital-Analógico
DSP	Procesamiento Digital de Señales
FBMC	Multiportadora por Banco de Filtros
FEC	Corrección de Errores Hacia Adelante
FFT	Transformada Rápida de Fourier
FMC	Estándar de Conexión para Tarjetas Hijas
FPGA	Matriz de Puertas Programable en Campo
FSM	Máquina de Estados Finitos
HF	Alta Frecuencia
HPF	Filtro Paso Alto
ICI	Interferencia Entre Portadoras
IDFT	Transformada Inversa de Fourier Discreta
IEEE	Instituto de Ingenieros Eléctricos y Electrónicos
IFFT	Transformada Rápida de Fourier Inversa
IoT	Internet de las Cosas
ISI	Interferencia Inter-Simbólica
LPC	Conector FMC de Bajo Conteo de Pines
LPF	Filtro Paso Bajo
LSB	Bit Menos Significativo
MMSE	Error Cuadrático Medio Mínimo
MSps	Millones de Muestras por Segundo
OFDM	Multiplexación por División de Frecuencia Ortogonal

PAPR	Relación Potencia Pico a Promedio
PCB	Placa de Circuito Impreso
PL	Lógica Programable - Parte FPGA del Zynq
PLC	Comunicaciones por Línea de Potencia
PS	Sistema de Procesamiento - Parte Procesador del Zynq
PSD	Densidad Espectral de Potencia
QAM	Modulación de Amplitud en Cuadratura
RAM	Memoria de Acceso Aleatorio
RF	Radio Frecuencia
ROM	Memoria de Solo Lectura
SNR	Relación Señal-a-Ruido
SoC	Sistema en Chip
SPI	Interfaz Periférica Serie
TLT	Teoría de Líneas de Transmisión
VHDL	Lenguaje de Descripción de Hardware
VHF	Muy Alta Frecuencia

8. INTRODUCCIÓN

La transformación digital de las redes eléctricas hacia Smart Grids, la expansión del Internet de las Cosas (IoT) industrial y la emergencia de las redes vehiculares han generado una demanda de conectividad sin precedentes. Este paradigma impone restricciones de diseño críticas, tales como establecer enlaces de alta velocidad y fiabilidad manteniendo un bajo costo de implementación. El desafío radica en equilibrar estas variables sin despliegue de nuevo cableado, lo que resulta, en la mayoría de los escenarios, técnica y económicamente inviable.

Es allí donde la tecnología Comunicaciones por Línea de Potencia (PLC) se posiciona como la solución estratégica más eficiente al aprovechar la capilaridad de la red de distribución de energía existente. Sin embargo, esta ventaja conlleva un compromiso técnico de gran importancia, reutilizar una infraestructura física que no fue diseñada originalmente para telecomunicaciones, sino para el transporte de energía. En consecuencia, el canal PLC y particularmente en entornos de interiores, constituye un medio de transmisión inherentemente hostil, caracterizado por una impedancia variable, gran atenuación dependiente de la frecuencia y una alta densidad de ruido impulsivo generado por las cargas conectadas a la red. [6].

8.1. Contexto PLC–OFDM

El desafío fundamental de utilizar como canal de comunicación la red eléctrica reside en que, a diferencia del cable coaxial o la fibra óptica, no es un medio diseñado para tal fin. La red presenta múltiples derivaciones y cargas no terminadas (terminales toma-corriente abiertos, sin carga conectada) que generan desadaptaciones de impedancia y un fenómeno de propagación multicamino exigente, caracterizado por los llamados *ecos*. En un sistema de comunicaciones convencional de portadora única, estos múltiples ecos de la señal generarían una ISI destructiva, requiriendo ecualizadores en el receptor de una complejidad computacional prohibitiva.

Para superar estos desafíos, las técnicas multiportadora como Multiplexación por División de Frecuencia Ortogonal (OFDM) son particularmente adecuadas, estas dividen un canal de banda ancha en múltiples subcanales o subportadoras ortogonales de banda estrecha, permitiendo combatir eficazmente el desvanecimiento selectivo en frecuencia. Esto permite que la duración del símbolo sea mucho mayor que la dispersión temporal del canal, inmunizando al sistema contra la ISI mediante el uso de un intervalo de guarda o Prefijo Cíclico (CP).

Adicionalmente, el contexto regulatorio del espectro electromagnético impone restricciones estrictas. Las líneas de potencia actúan como antenas no intencionales, pudiendo interferir con la banda de radiodifusión AM, servicios de radioaficionados u ondas cortas. La estructura de OFDM ofrece una flexibilidad espectral única mediante el apagado selectivo de subportadoras específicas, utilizando la llamada *Máscara de Tono*.

Actualmente, los estándares de la industria son IEEE 1901 (banda ancha), IEEE 1901.2 (banda estrecha), G.hn (ITU-T, para hogar) y estándares CENELEC (Europa), todos utilizando universalmente OFDM.

IEEE 1901 define un marco para las comunicaciones PLC de banda ancha utilizando OFDM [2]. Estableciendo tamaño de subportadoras a utilizar, tamaño de la máscara de

tono y banda de frecuencias a utilizar, tamaño de prefijo cíclico, y todas las definiciones de parámetros de Capa Física y Capa de Enlace de Datos. Para comunicaciones de banda ancha (2-30 MHz). Incluye interoperabilidad con G3-PLC y PRIME, usando OFDM y modulación 16-QAM.

8.2. Motivación

La motivación de este proyecto es dual, abarcando tanto desafíos técnicos, inherentes a la tecnología, como intereses de desarrollo académico-profesional del equipo de trabajo.

Desde la perspectiva técnica, el equipo identifica una brecha sustancial al trasladar a un entorno práctico y de hardware acotado a aquellos modelos teóricos y simulaciones de alto nivel sobre canales PLC. Si bien hoy es factible modelar la complejidad y hostilidad del canal, la naturaleza de sistema dinámico abierto, no estacionario y sitio-dependiente, implica una vulnerabilidad constante, en la que ante un evento trivial como la conexión puntual de una carga o la degradación de un contacto altera instantáneamente la topología completa de la red, invalidando en tiempo real cualquier modelo preexistente.

Es aquí donde el entorno del Laboratorio de la Universidad se presenta como el escenario de pruebas idóneo. Al ser una instalación con una topología desconocida, múltiples derivaciones y una gran densidad de cargas conectadas, resulta indicada para poner a prueba la robustez de las simulaciones así como de un sistema de implementación completo, el cual tenga en cuenta factores como la brecha introducida por las no-linealidades del hardware y las restricciones de recursos propias de una implementación.

Desde la perspectiva académica-profesional, este proyecto surge del interés del grupo de trabajo por dominar el flujo de diseño de un sistema de comunicaciones. Dicho interés, se materializa no en un producto comercial final, sino en superar el desafío de integración, en lograr que dos dispositivos complejos (como lo son una FPGA y un AFE comercial) operen en sincronía para transmitir datos a través de un medio hostil y desconocido, como la red eléctrica del laboratorio. La experiencia de lograr el correcto funcionamiento del sistema, con recursos limitados y herramientas estándar constituye el valor pedagógico y técnico central del trabajo.

8.3. Objetivo General

Diseñar, implementar y validar experimentalmente un prototipo de transceptor PLC-OFDM de banda ancha para interiores, cuantificando la discrepancia de rendimiento entre el modelo teórico simulado y el prototipo físico basado en FPGA, operando sobre la red eléctrica de baja tensión.

8.4. Objetivos Específicos

1. Estudiar y caracterizar el canal PLC de interiores, analizando los modelos de atenuación, multitrayecto y ruido impulsivo según el estado del arte.
2. Diseñar y simular un transceptor OFDM completo en MATLAB, utilizando modelos de canal validados (Generador UMA [3]) para establecer una línea base de rendimiento en escenarios limpios y hostiles.
3. Implementar el transmisor digital en una plataforma FPGA (SoC Zynq) utilizando

lenguaje VHDL, desarrollando los controladores necesarios para la interfaz con el AFE.

4. Resolver el desafío de integración hardware entre la lógica digital de la ZedBoard y el Frontend Analógico MAX2981. Esto implica el diseño de controladores de bajo nivel para gestionar la configuración vía SPI y asegurar la integridad de señal, cumpliendo tiempos de establecimiento en el bus paralelo de 50 MHz y garantizando la correcta sincronización entre dominios de reloj distintos.
5. Adaptar los parámetros de la normativa actual a las limitaciones del hardware disponible, implementando una estrategia de escalado espectral.
6. Validar el sistema mediante un esquema de Hardware-in-the-Loop híbrido, capturando la señal real con osciloscopio y procesando la recepción en MATLAB para evaluar el impacto de la sincronización y la ecualización frente al ruido real.

8.5. Organización y Estructura

Para abordar el diseño completo del enlace PLC-OFDM, desde su concepción teórica hasta su implementación física, la metodología de trabajo se dividió en dos fases principales:

1. **Fase de Diseño y Simulación:** Se desarrolla un transmisor y receptor OFDM completo en MATLAB. Se toma una palabra de caracteres codificada en formato ASCII como referencia para ser modulada y así conformar el símbolo OFDM. Posteriormente se utiliza un generador de canales PLC (Universidad de Málaga, 2010) [3] para simular un entorno de transmisión en Canal Limpio y Canal Hostil, y así obtener una línea base de rendimiento esperado.
2. **Fase de Implementación y Validación:** El transmisor OFDM simulado se implementa en hardware. Las muestras de la señal generadas en MATLAB se cargan una placa de desarrollo Xilinx ZedBoard (basada en un Sistema en Chip (SoC) Zynq) y un AFE MAX2981 realiza el acople con la línea eléctrica, la captura se realiza en un bucle cerrado mediante un osciloscopio, donde finalmente la señal obtenida se procesa en MATLAB.

El presente documento refleja esta estructura metodológica y se organiza en los siguientes capítulos:

Capítulo 9 MARCO TEÓRICO : Establece el estado del arte y las bases conceptuales necesarias. Se inicia con una revisión de las técnicas de modulación digital y una caracterización detallada del canal PLC, haciendo énfasis en el modelado del ruido impulsivo. Posteriormente, se profundiza en la tecnología OFDM, detallando su formulación matemática, el uso del CP y la importancia de la ortogonalidad. Se incluye una comparación técnica entre OFDM y FBMC para justificar la elección tecnológica, finalizando con la descripción de la normativa IEEE 1901 que rige el diseño.

Capítulo 10 DISEÑO Y SIMULACIÓN DEL SISTEMA: Aborda la metodología de diseño del transceptor. Se detalla la elección de parámetros críticos (número de subportadoras, ancho de banda de 5-15 MHz y modulación BPSK) y se describe la arquitectura completa del sistema simulado en MATLAB. Además, se explica la utilización de los modelos de canal de la Universidad de Málaga (UMA) para establecer la línea base de rendimiento esperado.

Capítulo 11 IMPLEMENTACIÓN Y PRUEBAS EXPERIMENTALES: Detalla la ingeniería de la implementación física. Se describen las especificaciones de la plataforma híbrida (ZedBoard + AFE MAX2981) y se analizan las restricciones de hardware que condicionan el diseño, tales como la adaptación de tasas de muestreo. Se expone la arquitectura del firmware desarrollado en VHDL, la metodología de captura Hardware-in-the-Loop y la estrategia de sincronización por correlación deslizante diseñada para recuperar la trama en un entorno asíncrono.

Capítulo 12 RESULTADOS Y DISCUSIÓN: Presenta el análisis exhaustivo de las pruebas realizadas. Se realiza una comparación ordenada entre los resultados de simulación y las mediciones experimentales en escenarios de Canal Limpio y Hostil. Se incluye un análisis de las discrepancias observadas, apoyado en gráficos de señales temporales, espectrales y diagramas de constelación.

Finalmente, el **Capítulo 13 CONCLUSIONES Y TRABAJOS FUTUROS** Sintetiza las Conclusiones alcanzadas a partir de la validación del prototipo y propone líneas de Trabajos Futuros para la evolución y mejora del sistema.

9. MARCO TEÓRICO

El presente Capítulo tiene por objeto establecer el marco conceptual y el estado del arte que sustentan el desarrollo de este proyecto. Se realizará una revisión exhaustiva de los fundamentos de las comunicaciones digitales y se analizarán las particularidades físicas de la red eléctrica como medio de transmisión de datos, identificando las limitaciones que condicionan la arquitectura del sistema.

La exposición se organiza de la siguiente manera:

En la Sección 9.1, se describen los principios de la Modulación Digital, analizando los compromisos entre eficiencia espectral y robustez bajo los criterios de Nyquist y Shannon.

A continuación, la Sección 9.2 caracteriza el canal PLC, detallando los modelos matemáticos de propagación multitrayecto y la taxonomía del ruido impulsivo que define la hostilidad del medio.

La Sección 9.3 profundiza en la técnica de multiplexación OFDM, presentando su formulación matemática y el rol fundamental del Prefijo Cíclico y la ortogonalidad para combatir la selectividad del canal.

Posteriormente, la Sección 9.4 introduce el estándar IEEE 1901, el cual establece los lineamientos normativos industriales sobre los que se basa este diseño.

Finalmente, se describen el entorno de simulación utilizado en la Sección 10.1 y se presenta la justificación técnica y económica de la tecnología seleccionada en la Sección 9.5.

9.1. Modulación Digital

En los sistemas de comunicación modernos, la transmisión directa de la señal de información en banda base a través del medio físico suele resultar impráctica. Por consiguiente, se emplean técnicas de modulación que adecúan las características de la señal al canal mediante la variación de los parámetros (amplitud, frecuencia o fase) de una onda portadora. Esta estrategia responde a necesidades críticas de diseño, tales como la optimización del dimensionamiento de antenas, el incremento de la eficiencia espectral y la mejora de la robustez frente al ruido y las distorsiones inherentes al canal.

Si la señal de información es analógica, se habla de Modulaciones Analógicas. En contraparte, si la señal a transmitir es una secuencia discreta de bits, se emplea una Modulación Digital.

Las técnicas de Modulación Digital se clasifican en base a si el mensaje se codifica según amplitud, frecuencia o fase [8]:

- Modulación por desplazamiento de amplitud: ASK.
- Modulación por desplazamiento de frecuencia: FSK.
- Modulación por desplazamiento de fase: PSK.

La selección de la técnica adecuada radica fundamentalmente en el compromiso entre la eficiencia espectral y la resiliencia frente a la distorsión y el ruido del canal.

Desde el punto de vista de la eficiencia, el *Criterio de Nyquist* establece la tasa máxima de transmisión de información en un canal de ancho de banda limitado y libre de ruido,

dado por:

$$R_b = 2 \cdot B \cdot \log_2(M) \quad (1)$$

Donde:

- R_b : Tasa de Transmisión Máxima (bps).
- B : Ancho de banda (Hz).
- M : Niveles de la modulación.

De lo cual se deduce:

$$B \propto \frac{R_b}{\log_2(M)} \quad (2)$$

El análisis de dicha expresión conlleva a destacar que el aumento en la cantidad de niveles de modulación permite el envío de una mayor cantidad de bits por símbolo, ganando así mayor *Eficiencia Espectral*. Sin embargo, el aumento indefinido de M encuentra un límite físico fundamental impuesto por el ruido del canal. Según el *Teorema de Shannon-Hartley*, la capacidad máxima teórica C de un canal de comunicaciones en presencia única de ruido aditivo gaussiano está acotada por:

$$C = B \cdot \log_2 \left(1 + \frac{S}{N} \right) \quad (3)$$

Donde S/N representa la Relación Señal-a-Ruido (SNR) del canal. Esta relación establece que para transmitir a tasas elevadas utilizando modulaciones densas, es requisito indispensable contar con una SNR alta. En canales hostiles como el PLC, donde el nivel de ruido es significativo, sin técnicas adicionales, el sistema se ve obligado a reducir M (sacrificando eficiencia espectral) para mantener la tasa de error por debajo de un umbral aceptable.

Es importante destacar que tanto el Criterio de Nyquist como el Teorema de Shannon-Hartley basan sus predicciones en modelos de canal idealizados, afectados predominantemente por Ruido Blanco Gaussiano Aditivo (AWGN) y con respuesta en frecuencia plana. En el contexto de PLC, donde el entorno está dominado por ruido impulsivo asíncrono, ruido coloreado y desvanecimiento selectivo severo, estas leyes no reflejan el comportamiento exacto del enlace, pero establecen el marco teórico fundamental para la toma de decisiones iniciales.

Por consiguiente, la estrategia de diseño adoptada en este proyecto sigue un enfoque incremental. Se parte de las elecciones dictadas por la teoría fundamental de las telecomunicaciones como la selección de BPSK para maximizar el margen de ruido permitido según Shannon. A partir de esta base, el sistema se complejiza progresivamente para contrarrestar las no-idealidades específicas del medio físico, incorporando estrategias como el CP extendido para absorber la dispersión temporal y el apagado selectivo de subportadoras para mitigar la Interferencia Entre Portadoras (ICI).

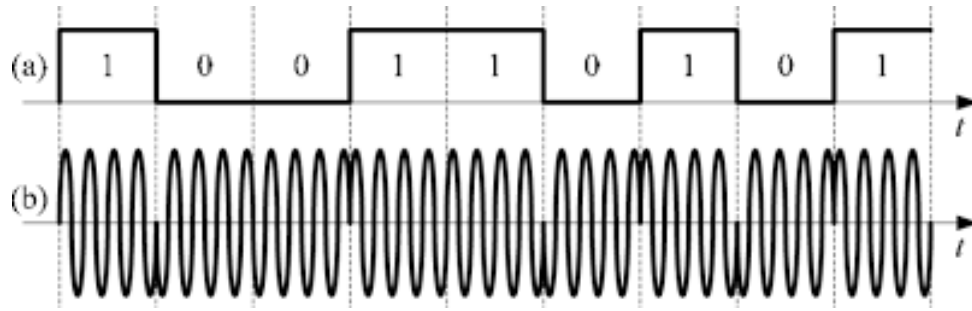


Figura 1: Representación temporal (a) y digital (b) de una señal BPSK .

En el caso de BPSK, los dos únicos símbolos posibles (1 y 0) se les asigna dos senoidales con fases correspondientes a 0° y 180° respectivamente, es ejemplificado en la Figura 1, las cuales se mapean como dos puntos en el llamado *Diagrama de Constelaciones*.

9.1.1. Modulaciones M-arias y BPSK

Estándares modernos utilizan modulaciones densas como 16-QAM ($M = 16$) [2] o 256-QAM ($M = 256$). Si el objetivo fuese transmitir una gran cantidad de información, como video en alta definición, utilizando una modulación básica como BPSK (1 bit por símbolo), sería necesario ocupar un ancho de banda imprácticamente grande.

Aumentar el índice de modulación M conlleva ganar eficiencia espectral, pero incrementa la sensibilidad al ruido. Al observar el diagrama de constelación de la Figura 2, es evidente que a medida que M aumenta, los puntos se agrupan más cerca entre sí, reduciendo la distancia euclidiana mínima y, por ende, el margen de error ante el ruido.

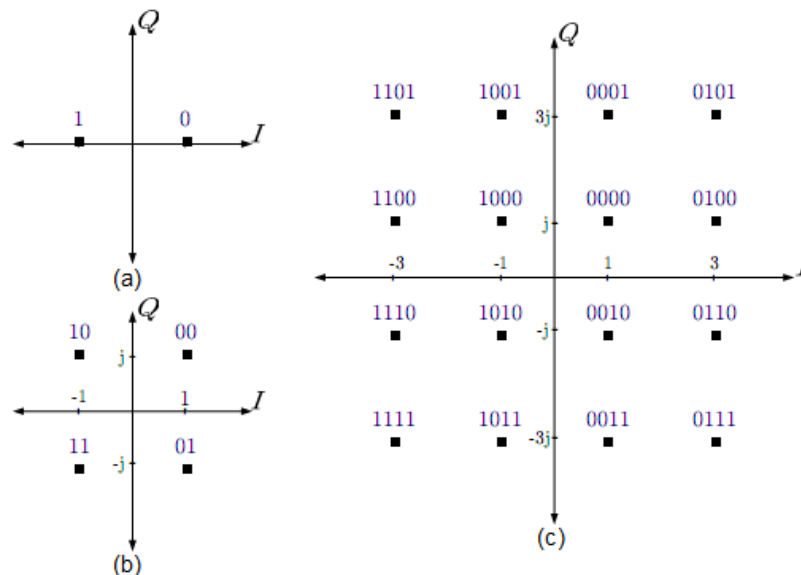


Figura 2: Diagrama de Constelación de una señal BPSK (a), una señal QPSK (b) y una señal 16-QAM (c).

Idealmente, si el canal no aportase distorsión alguna, los puntos de constelación recibidos se encontrarían solapados completamente con los transmitidos. Por otra parte, si el canal

distorsiona en amplitud y/o fase, los puntos de constelación recibidos se alejan de lo originalmente transmitido.

La técnica de BPSK destaca al ser de las más sencillas de implementar, siendo de $M = 2$, asigna un bit por símbolo, teniendo así solo dos símbolos posibles. Dichos símbolos son comúnmente dispuestos en las posiciones "1" y "-1" del eje de abscisas complejo (eje el cual pondera la denominada componente en "fase", siendo el eje de ordenadas el representante de la componente "en cuadratura" de la señal compleja).

A su vez, la *regla de decisión* para discernir entre un símbolo recibido se establece en el eje de ordenadas para la mencionada disposición. Si bien un punto de constelación puede ser detectado erróneamente si la distorsión es suficiente, BPSK ofrece la máxima robustez posible ante dicha situación, donde la perturbación debe ser suficiente para cruzar el eje imaginario, lo que implica una rotación superior a 90° . Esta característica convierte a BPSK en la elección ideal para garantizar la conectividad en entornos severos, donde la integridad del enlace prima sobre la velocidad.

La forma de cuantizar el error en el sistema es mediante la Tasa de Error de Bit (BER), la cual pondera la cantidad de bits detectados erróneamente por sobre el total de bits transmitidos, la cual se muestra en la ecuación a continuación.

$$BER = \frac{\sum \hat{n}_i}{N_b} \quad (4)$$

- $\hat{n}_i$: Cantidad de bits erróneos detectados.
- N_b : Cantidad total de bits transmitidos

En el contexto de este proyecto, la BER constituye una métrica de desempeño fundamental. Este parámetro servirá como el indicador riguroso que permitirá validar la integridad objetiva de la información, trascendiendo del análisis visual cualitativo de los diagramas de constelación y de la trama recibida, frente a las severas degradaciones que impone el medio físico, las cuales se caracterizan en la siguiente sección.

9.2. Canal PLC y Ruido Impulsivo

A diferencia de los medios guiados dedicados (como par trenzado o fibra óptica), la red de distribución eléctrica no fue diseñada para la transmisión de datos a alta frecuencia. La viabilidad de este medio radica en su disponibilidad inmediata, es decir de infraestructura ya existente.

La Tabla 1 clasifica la tecnología en tres categorías, según su espectro operativo. Este proyecto se centra en la categoría de Banda Ancha, también llamado Broadband-PLC, la cual opera en el rango de Alta Frecuencia (HF)/Muy Alta Frecuencia (VHF) para alcanzar altas tasas de transmisión.

Categoría	Rango de Frecuencias	Aplicación Típica
Ultra Narrow Band (UNB)	0.3 - 3 kHz	Control de muy baja velocidad
Narrow Band (NB)	3 - 500 kHz	Lectura de medidores (AMR)
Broadband (BB)	1.8 - 250 MHz	Multimedia / Internet / LAN

Tabla 1: Clasificación de Sistemas PLC según Ancho de Banda y Tasa de Datos.

Desde la perspectiva de la teoría de comunicaciones, el canal PLC se comporta como un medio hostil, variante en el tiempo y selectivo en frecuencia [6]. Para explotar este recurso de manera efectiva, el diseño del transceptor debe superar dos obstáculos físicos fundamentales que degradan severamente la señal, la dispersión temporal causada por la propagación multitrayecto y la presencia de ruido aditivo no gaussiano.

A continuación, se modelan analíticamente estos fenómenos. En la Sección 9.2.1 se describe el comportamiento del canal en su modelo de filtro acoplado con múltiples ecos. Posteriormente, la sección 9.2.2 clasifica las fuentes de interferencia impulsiva dominantes, y finalmente, la sección 9.2.3 aborda las atenuaciones dependientes de la frecuencia introducidas por la física de los conductores.

9.2.1. Modelo Matemático de Propagación Multitrayecto

La red eléctrica presenta múltiples discontinuidades de impedancia debido a empalmes, derivaciones no terminadas y cargas variables conectadas a la red. Esto provoca que la señal transmitida experimente múltiples reflexiones, arribando al receptor como una suma de versiones retardadas y atenuadas de sí misma.

Analíticamente, la respuesta al impulso del canal $h(t)$ se modela como la superposición de P trayectos de propagación discretos [9, 6]:

$$h(t) = \sum_{i=1}^P g_i \cdot A(f, d_i) \cdot \delta(t - \tau_i) \quad (5)$$

Donde cada trayecto i está definido por:

- g_i : Factor de transmisión complejo que representa la ganancia y fase acumulada por las reflexiones y transmisiones en los nodos de la red.
- $A(f, d_i)$: Función de atenuación dependiente de la frecuencia y la distancia d_i .
- τ_i : Retardo de grupo del trayecto, determinado por la longitud del cable y la velocidad de propagación en el medio ($\approx 0,5c - 0,7c$).

En el dominio de la frecuencia, la Transformada de Fourier de esta respuesta temporal, $H(f)$, revela un comportamiento selectivo en frecuencia. La interferencia constructiva y destructiva entre los múltiples ecos genera cancelaciones profundas en el espectro, llamadas *notches*. De no mitigarse, estos notches destruyen la información contenida en las frecuencias afectadas, justificando la necesidad de técnicas de diversidad de frecuencia como OFDM.

9.2.2. El Entorno de Ruido en PLC

El ruido en líneas eléctricas difiere sustancialmente del modelo tipo AWGN utilizado en comunicaciones inalámbricas clásicas. En PLC, el ruido es la superposición de cinco principales componentes distintas, véase la Figura 3, dominadas por la actividad de los dispositivos conectados a la red [10].

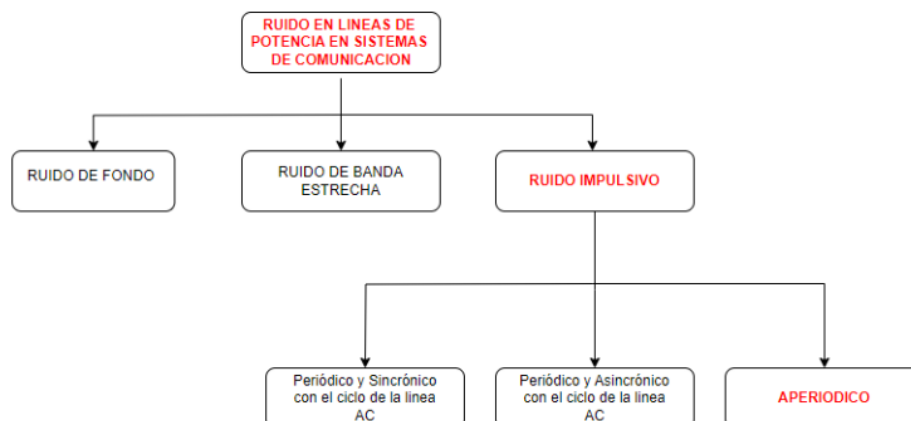


Figura 3: Taxonomía del Ruido en Canales PLC [1].

- **Ruido de Fondo Coloreado:** Posee una densidad espectral de potencia decreciente con la frecuencia, causado por la superposición de múltiples fuentes de baja potencia. Puede ser causado por diafonía con cables cercanos o el filtrado por la propia línea sobre ruido blanco gaussiano.
- **Ruido de Banda Angosta:** Compuesto por señales sinusoidales o moduladas provenientes de interferencias de radio (AM, Onda Corta) inducidas en el propio cableado por acoplamiento electromagnético.
- **Ruido Impulsivo Sincrónico:** Trenes de impulsos periódicos a la frecuencia, o al doble, de red los cuales son generados por rectificadores y dimmers basados en tiristores.
- **Ruido Impulsivo Asincrónico Periódico:** Trenes de impulsos de alta frecuencia generados por fuentes conmutadas presentes en la mayoría de electrodomésticos modernos. Si bien, como su nombre lo indica, presentan un patrón de repetición en el tiempo, este no es coincidente con la frecuencia de red.
- **Ruido Impulsivo Asincrónico Aperiódico:** Transitorios de alta energía causados por la conmutación de cargas inductivas como motores o relés. No poseen un patrón de repetición en el tiempo definido, siendo en la práctica imposible la definición cuantitativa de su ocurrencia.

De todos ellos, el ruido impulsivo es notoriamente el de mayor impacto sobre el sistema de comunicaciones, ya que representa el peor escenario tanto a nivel hardware como matemático [10].

Por un lado, un impulso de gran magnitud provoca la saturación del Conversor Analógico-Digital (ADC) receptor, produciendo no linealidades e ICI, y por el otro afectando espectralmente a todas las subportadoras simultáneamente, ya que tal impulso de corta duración posee una Densidad Espectral de Potencia (PSD) que es esencialmente plana y de gran ancho de banda (dada la dualidad Tiempo-Frecuencia y la propiedad de escalamiento), es decir que un evento del orden de μs puede interferir a todo el sistema simultáneamente, corrompiendo uno o varios símbolos OFDM.

9.2.3. Consideraciones Adicionales Sobre el Canal PLC

Más allá de la propagación multitrayecto causada por las derivaciones de la red, la cual como se mencionó introduce notches selectivos en frecuencia, la precisión del modelado del canal PLC depende de la caracterización correcta de los fenómenos electromagnéticos inherentes a los conductores de transmisión de potencia. El cableado eléctrico estándar introduce atenuaciones globales que dependen de la frecuencia, comportándose efectivamente como un filtro paso bajo distribuido [6].

- **Efecto de Carga:** Cada dispositivo en la red es una impedancia en con conexión tipo paralelo, en donde $Z_{total} = Z_{red} || Z_{equipo-1} || Z_{equipo-2} || \dots || Z_{equipo-n}$. A mayor número de cargas conectadas, menor resulta la impedancia total. Cómo el transmisor posee una impedancia de salida fija, en caso de que la impedancia de la red bajase (gran número de cargas conectadas), se forma un divisor de tensión tal que la señal transmitida resulta de mayor atenuación.

Para un modelado preciso mediante la Teoría de Líneas de Transmisión (TLT), los parámetros primarios de la línea (R, L, G, C) no pueden considerarse constantes, sino funciones dependientes de la frecuencia, debido a dos efectos físicos dominantes [3]:

- **Efecto Piel :** A medida que aumenta la frecuencia de la señal portadora, la densidad de corriente tiende a concentrarse en la periferia del conductor, reduciendo el área transversal efectiva. Esto provoca que la resistencia por unidad de longitud, $R(f)$, aumente proporcionalmente a la raíz cuadrada de la frecuencia ($\sqrt{f}$). En la banda de HF (2-30 MHz), este efecto incrementa significativamente la atenuación óhmica respecto a la corriente continua.
- **Pérdidas Dieléctricas:** El aislamiento típico de los cables de potencia no está diseñado para minimizar las pérdidas en alta frecuencia. La conductancia en paralelo del modelo TLT, $G(f)$, representa las corrientes de fuga a través del material dieléctrico. Estas pérdidas aumentan linealmente con la frecuencia y el factor de disipación del material.

Matemáticamente, estos efectos se combinan en la constante de propagación $\gamma(f)$ utilizada por el modelo [3]:

$$\gamma(f) = \alpha(f) + j\beta(f) = \sqrt{(R(f) + j2\pi fL) \cdot (G(f) + j2\pi fC)} \quad (6)$$

La consecuencia directa para el sistema OFDM es que las subportadoras de alta frecuencia sufrirán una atenuación mayor que las de baja frecuencia, resultando en un perfil de pendiente negativa en el espectro recibido. A diferencia de los notches del multicamino que pueden afectar cualquier frecuencia aleatoriamente, esta atenuación es determinista y monótona, imponiendo el límite físico del ancho de banda utilizable y reduciendo la SNR disponible en alta frecuencia.

9.3. Multiplexación por División de Frecuencias Ortogonales

La Multiplexación por División de Frecuencias Ortogonales (OFDM) es la tecnología central de este proyecto, fue introducida por primera vez en los Bell Labs en el año 1966 [11], siendo un tipo de *Sistema Multiportadora* basado en la división de un flujo de datos de alta velocidad en múltiples flujos de baja tasa de símbolos, que modulan subportadoras ortogonales entre sí.

Esta ortogonalidad permite que los espectros de las subportadoras se superpongan sin interferirse mutuamente, logrando una alta eficiencia espectral. Sin embargo, aunque el concepto teórico data de 1966, su implementación práctica y masiva fue computacionalmente prohibitiva durante décadas. La llegada de los Procesamiento Digital de Señales (DSP) y FPGA de alta velocidad, capaces de ejecutar FFT en tiempo real, permitieron que OFDM se convierta en una solución viable y dominante a finales de los 1990s y principios de los 2000 [11].

Como cada subportadora se modula con una técnica de Modulación Digital convencional, OFDM en sí no define cómo se codifica la información binaria, sino cómo se distribuye en frecuencia y se reconstruye. Su objetivo es hacer frente a un canal con gran interferencia y dispersión.

La arquitectura del transmisor de la Figura 4 implica mapear los bits de entrada a símbolos de una constelación, asignar estos símbolos a las subportadoras seleccionadas, y aplicar una Transformada Rápida de Fourier Inversa (IFFT) para generar la señal en el dominio del tiempo.

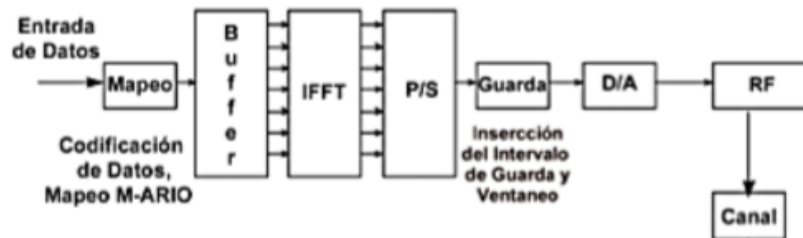


Figura 4: Arquitectura del Modulador OFDM.

Para combatir la interferencia entre símbolos causada por el multitrayecto, se añade un intervalo de guarda CP a cada símbolo OFDM. Luego, un bloque Conversor Digital-Analógico (DAC) y de Radio Frecuencia (RF) preparan la señal para poder transmitirse. Cabe recalcar que posteriormente se requiere una etapa de acoplo con la red que blinde y de seguridad tanto al sistema como al operario. Todos estos bloques (incluyendo el DAC y RF, excluyendo el conformado de CP) se engloban en un único dispositivo llamado AFE.

9.3.1. Sistemas Multiportadora

Se propone analizar el canal ilustrado en la Figura 5, el cual presenta selectividad en frecuencia, tal como es abordado en la sección 9.2.1 y 9.2.3.

Al demodular una señal de banda ancha sobre un canal selectivo en frecuencia, es necesario compensar la distorsión de amplitud y fase introducida por el medio. Esto requiere conocer con precisión la respuesta impulsiva del canal y aplicar un filtrado inverso. Dicha tarea conlleva una elevada complejidad computacional, la cual se incrementa drásticamente si el canal es variante en el tiempo, exigiendo algoritmos de adaptación continua [12].

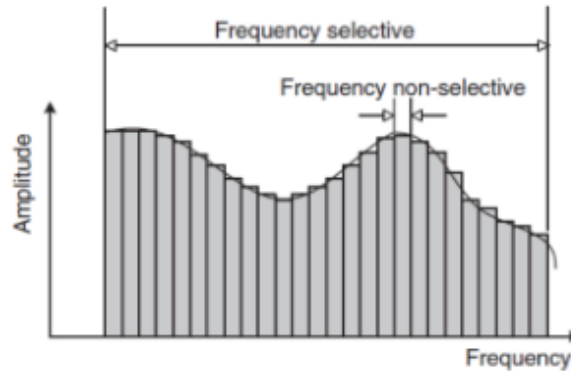


Figura 5: División de Canal Selectivo en Frecuencia en N Subcanales.

La estrategia consiste en dividir el canal de banda ancha en N subcanales de banda estrecha. Si el ancho de banda de cada subportadora (Δf) es suficientemente pequeño en comparación con la variabilidad del canal (llamado ancho de banda de coherencia), cada subcanal experimenta un desvanecimiento plano o *flat fading*.

Esto permite asumir que la amplitud y fase del canal son constantes dentro de ese intervalo de frecuencia Δf . En consecuencia, la compleja ecualización temporal se sustituye por una ecualización escalar en el dominio de la frecuencia donde cada subportadora puede ser corregida independientemente mediante una simple división por un coeficiente complejo, simplificando así la arquitectura del receptor.

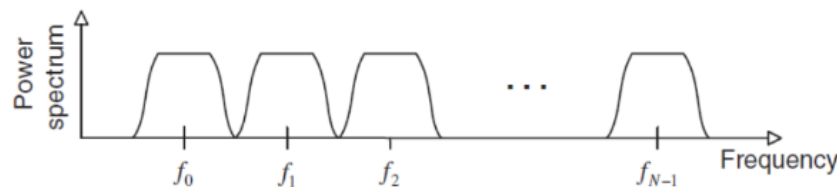


Figura 6: Sistema Multiportadora Sin Superposición y de Espectro Idealizado.

La Figura 6 ilustra un sistema multiportadora con ancho de banda ($f_{N-1} - f_0$) donde puede apreciarse que se encuentra subdividido por N subcanales o subportadoras, las cuales no se superponen entre sí. Esto implicaría establecer bandas de guarda a modo de evitar el ICI. Sin embargo, esto conlleva una subutilización intrínseca del espectro. Para maximizar la eficiencia y la tasa de transferencia, aumentando el número de subportadoras posibles en un determinado ancho de banda, es necesario permitir que sus espectros se solapen deliberadamente en el dominio de la frecuencia.

Esta superposición, que en un sistema convencional generaría interferencia destructiva, se vuelve viable en OFDM gracias a una condición matemática estricta que permite recuperar cada señal individualmente: *La Ortogonalidad*.

9.3.2. Principio de Ortogonalidad y Eficiencia Espectral

La característica distintiva que otorga a OFDM su alta eficiencia espectral reside en que sus subportadoras se superponen matemáticamente de manera ortogonal, a diferencia de los demás sistemas multiportadora.

Dos señales son ortogonales si el producto escalar entre ellas, integrado en un periodo de símbolo T , es cero. En el caso de OFDM, las subportadoras son funciones sinusoidales complejas espaciadas por una frecuencia $\Delta f = 1/T$, abordada en detalle en 9.3.6.

Matemáticamente, la condición de ortogonalidad entre dos subportadoras k y l se expresa como:

$$\frac{1}{T} \int_0^T e^{j2\pi f_k t} \cdot e^{-j2\pi f_l t} dt = \begin{cases} 1 & \text{si } k = l \\ 0 & \text{si } k \neq l \end{cases} \quad (7)$$

Esta disposición espectral y sus implicancias físicas se ilustran en la Figura 7. En la gráfica se observan tres subportadoras adyacentes (representadas en rojo, azul y verde) cuya forma corresponde a una función sinc(x).

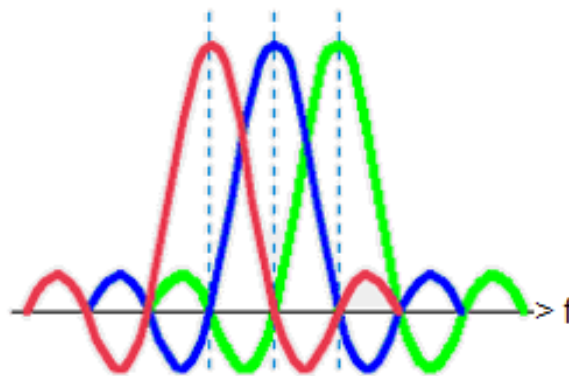


Figura 7: Espectro OFDM de tres subportadoras ortogonales con forma de sinc(x).

Por su parte, las líneas de trazo de puntos indican los instantes de muestreo en frecuencia, donde la interferencia es nula. El pico de máxima energía de la subportadora central (azul) coincide exactamente con los cruces por cero (nulos) de las subportadoras vecinas (roja y verde). Gracias a esta alineación precisa, el muestreo en la frecuencia central de la portadora azul conlleva la nula contribución de interferencia de subportadora vecinas, siendo matemáticamente nula la ICI a pesar del solapamiento.

Sin embargo, esta gráfica a su vez exhibe la vulnerabilidad del sistema. La ortogonalidad depende estrictamente de la precisión en frecuencia. De existir un desplazamiento de frecuencia, debido a ruido de fase o efecto Doppler por ejemplo, al muestrear se capturaría energía de los lóbulos laterales de las subportadoras adyacentes, dilapidando la ortogonalidad.

Finalmente, es relevante destacar que la forma de onda sinc(x) mostrada en la figura, con sus lóbulos laterales pronunciados, es consecuencia directa del uso de una ventana rectangular en el dominio del tiempo, la cual se encuentra implícita en la operación de la Transformada Rápida de Fourier (FFT), sin filtrado adicional.

En implementaciones comerciales, es práctica común la adición de filtros de conformado de pulso para atenuar estos lóbulos y minimizar la ICI, a costa de un leve incremento en el ancho de banda ocupado y mayor carga computacional. Sin embargo, este trabajo, alineado con su objetivo de validación tecnológica en una plataforma de recursos acotados,

propone una estrategia alternativa. Dicha solución se detalla en la Sección 10.2.2, donde se justifica el uso de una máscara espectral específica en lugar de bancos de filtros complejos.

9.3.3. Formulación Matemática de la Señal OFDM

Desde una perspectiva analítica, una señal OFDM en banda base se modela como la superposición lineal de N subportadoras ortogonales moduladas por símbolos complejos.

En el dominio del tiempo discreto, la señal transmitida $x[n]$ se genera mediante la Transformada Inversa de Fourier Discreta (IDFT), definida matemáticamente como:

$$x[n] = \frac{1}{\sqrt{N}} \sum_{k=0}^{N-1} X_k \cdot e^{j2\pi \frac{kn}{N}}, \quad 0 \leq n < N \quad (8)$$

Donde:

- N : Número total de subportadoras (determinado por el tamaño de la IFFT).
- X_k : Símbolo de datos complejo, asignado a la k -ésima subportadora.
- n : Índice temporal de la muestra discreta.

La Transformada de Fourier se asocia tradicionalmente al análisis espectral (mediante descomposición de una señal temporal en sus componentes frecuenciales), sin embargo en la arquitectura OFDM su rol funcional se invierte. El proceso de modulación consiste en sintetizar una forma de onda temporal a partir de un conjunto de símbolos definidos explícitamente en el dominio de la frecuencia.

Analizando la Ecuación 8, el núcleo de la transformación $e^{j2\pi \frac{kn}{N}}$ representa un fasor rotatorio complejo a una frecuencia discreta k . La sumatoria $\sum$ efectúa la superposición de estas N ondas sinusoidales, donde cada una de ellas es modulada independientemente en amplitud y fase por el dato X_k . De este modo, las subportadoras de índice bajo ($k \rightarrow 0$) aportan las variaciones lentas de la señal, mientras que los índices altos ($k \rightarrow N/2$) contribuyen con las componentes de alta frecuencia. Es decir, que cada dato de X_k se mapea de manera secuencial en la k -ésima subportadora.

La eficiencia de esta técnica radica en su implementación mediante el algoritmo de IFFT, el cual al reducir la complejidad computacional del cálculo, hace viable su ejecución en tiempo real en dispositivos reales de alto número de subportadoras [6]. Esta es la base matemática que justifica la implementación eficiente de OFDM. Es fundamental distinguir que, mientras la Transformada Inversa de Fourier Discreta (IDFT) representa la operación matemática teórica definida en la Ecuación 8, la IFFT es el algoritmo optimizado que permite calcularla en hardware con una complejidad computacional reducida.

Por su parte la etapa de demodulación se sustenta en el *Teorema de la Convolución Circular* del análisis de Fourier discreto. Este teorema establece que la operación $Y[k] = H[k] \cdot X[k]$ es matemáticamente equivalente a una *Convolución Circular* en el dominio del tiempo.

Sin embargo, esto plantea una discrepancia teórica debido a que el algoritmo FFT presupone matemáticamente una periodicidad circular, mientras que el medio físico de transmisión aplica naturalmente una *Convolución Lineal*.

Por consiguiente, para que el modelo de detección simple sea válido, es un requisito estricto emular artificialmente una convolución circular dentro de la ventana de observación del receptor. La solución a esta discrepancia se detalla en la sección 9.3.5.

9.3.4. Simetría Hermítica

Para que la señal OFDM en el dominio del tiempo muestral $x[n]$, sea una señal estrictamente real, condición necesaria para ser convertida por el DAC y transmitida por un medio físico como la red eléctrica, su representación frecuencial $X[k]$ debe cumplir con la propiedad de Simetría Hermítica.

Matemáticamente, la IDFT produce una salida real si y solo si el vector de entrada cumple la condición:

$$X[k] = X^*[N - k] \quad (9)$$

Para todo k en el rango $1 \leq k \leq \frac{N}{2} - 1$, donde $*$ denota el complejo conjugado.

Esto implica que la segunda mitad del espectro (frecuencias negativas) debe ser una copia especular y conjugada de la primera mitad (frecuencias positivas).

Esta restricción obliga a que la información útil solo pueda aplicarse en la primera mitad de las subportadoras, mientras que la mitad restante se utiliza para transportar redundancia conjugada necesaria.

Es por ello que implementado un sistema con un tamaño de transformada de $N = 4096$, la cantidad de subportadoras útiles que transportarán información es de 2048.

Debido a esta propiedad, el vector de entrada a la IFFT se construye estructurando los datos de la siguiente manera:

$$X_{input} = [0, D_1, D_2, \dots, D_{2047}, 0, D_{2047}^*, \dots, D_2^*, D_1^*] \quad (10)$$

Esta operación garantiza que la parte imaginaria de la señal temporal resultante sea numéricamente despreciable, permitiendo descartarla y transmitir únicamente la parte real sin pérdida de información.

9.3.5. Prefijo Cíclico

La transmisión a través de un canal físico introduce dispersión temporal, modelada matemáticamente como una **Convolución Lineal** entre la señal transmitida y la respuesta al impulso del canal. Sin embargo, la detección como producto punto a punto $Y[k] = H[k] \cdot X[k]$ requiere que la señal recibida sea el resultado de una **Convolución Circular**.

El CP es el mecanismo que transforma la convolución lineal física en una convolución circular aparente para el receptor.

Sea $x[n]$ el símbolo OFDM en el dominio del tiempo, definido para $n = (0, 1, \dots, N - 1)$, donde N es el tamaño de la IFFT. Se construye la señal extendida a transmitir, $x_{ext}[n]$, añadiendo una copia de las últimas P muestras de $x[n]$ a su comienzo.

Para facilitar la notación, definimos los índices de la señal extendida desde $-P$ hasta $N - 1$:

$$x_{ext}[n] = \begin{cases} x[N + n] & \text{si } -P \leq n < 0 \quad (\text{Prefijo Cíclico}) \\ x[n] & \text{si } 0 \leq n \leq N - 1 \quad (\text{Símbolo Útil}) \end{cases} \quad (11)$$

La señal atraviesa un canal con respuesta al impulso $h[l]$ de longitud L (donde asumimos $P \geq L - 1$).

La señal recibida $y[n]$ es el resultado de la convolución lineal:

$$y[n] = x_{ext}[n] * h[n] = \sum_{l=0}^{L-1} h[l] \cdot x_{ext}[n-l] \quad (12)$$

El receptor descarta el prefijo cíclico y observa la señal únicamente en la ventana de tiempo $0 \leq n \leq N - 1$.

Analizando el término $x_{ext}[n-l]$ dentro de esta ventana:

1. **Caso 1** ($n \geq l$): El índice $n-l$ es positivo ($0 \leq n-l < N$). Por lo tanto se accede a la parte útil del símbolo original:

$$x_{ext}[n-l] = x[n-l] \quad (13)$$

2. **Caso 2** ($n < l$): El retardo del canal provoca que el índice $n-l$ sea negativo. Esto significa que el sistema accede a tiempos previos a $n = 0$. Gracias a la estructura del CP, se accede a la copia del final del símbolo:

$$x_{ext}[n-l] = x[N + (n-l)] \quad (14)$$

Las dos condiciones anteriores pueden unificarse utilizando la operación módulo N . Tanto $n-l$ (cuando es positivo) como $N+n-l$ (cuando es negativo) son congruentes con $(n-l)$ (mód N). Por lo tanto, para todo n dentro de la ventana de observación:

$$x_{ext}[n-l] \equiv x[(n-l)] \quad (\text{mód } N) \quad (15)$$

Sustituyendo esto en la ecuación de la señal recibida:

$$y[n] = \sum_{l=0}^{L-1} h[l] \cdot x[(n-l)] \quad (\text{mód } N) \quad (16)$$

Esta expresión corresponde, por definición, a la Convolución Circular entre $x[n]$ y $h[n]$, denotada como $y[n] = x[n] \otimes h[n]$.

Si el CP cubre la dispersión máxima del canal (τ_{max}), la ortogonalidad se restaura completamente y el sistema se modela exactamente como un canal de desvanecimiento plano en cada subportadora. Superar ese umbral solo reduce la eficiencia de transmisión sin aportar ganancia en la calidad de la señal.

En conclusión, el CP posee doble funcionalidad, actúa de buffer que absorbe el transitorio del eco del símbolo anterior (ISI) y, simultáneamente, simula la periodicidad necesaria para que la convolución lineal del canal se comporte como una convolución circular dentro de la ventana de la FFT.

Ecualización Simplificada: Gracias a que el CP transforma la convolución lineal en circular, cada subportadora experimenta un canal sin distorsión de fase/amplitud relativa dentro de su ancho de banda Δf (es decir que "ve un canal plano"). En consecuencia, la ecualización se reduce a una simple división escalar compleja por subportadora en el dominio de la frecuencia:

$$Y[k] = H[k] \cdot X[k] \implies X_{est}[k] = \frac{Y[k]}{H[k]} \quad (17)$$

Esto elimina la necesidad de filtros ecualizadores temporales complejos, permitiendo que la implementación sea eficiente y viable en hardware como a nivel de silicio, lo que constituye la razón principal por la que OFDM es el estándar de facto para PLC y tecnologías de banda ancha modernas [2, 13, 14].

9.3.6. Resolución en Frecuencia

La Resolución en Frecuencia (Δf) define el espaciamiento espectral entre subportadoras ortogonales adyacentes. En un sistema digital, este parámetro está intrínsecamente ligado a la frecuencia de muestreo f_s y al tamaño de la transformada N mediante la relación:

$$\Delta f = \frac{f_s}{N} \quad (18)$$

Debido a la Dualidad Tiempo-Frecuencia, la elección de Δf impone de manera determinista la duración del tiempo de símbolo útil (T_u), definido como el intervalo de tiempo durante el cual se integra la señal en el receptor para recuperar la ortogonalidad:

$$T_u = \frac{1}{\Delta f} \quad (19)$$

La selección de este parámetro constituye una de las decisiones de diseño de mayor criticidad en OFDM, ya que establece una relación de compromiso fundamental entre la robustez frente al canal y la sensibilidad a las perturbaciones:

- **Δf grande:** Genera símbolos cortos. El sistema es robusto frente a variaciones rápidas del canal en el tiempo y menos sensible al ruido de fase. En contraparte, con el fin de combatir ecos largos el CP debe ocupar un porcentaje considerable del tiempo total, reduciendo drásticamente la eficiencia de transmisión.
- **Δf pequeño:** Genera símbolos largos. Maximiza la eficiencia espectral en canales con gran dispersión de retardos (como el PLC), ya que el CP representa una fracción menor del símbolo total. El sistema es altamente sensible a desplazamientos de frecuencia y al ruido de fase, requiriendo osciladores de alta precisión y algoritmos de sincronización complejos.

9.3.7. Estructura del Símbolo OFDM en el tiempo

La combinación de los parámetros definidos en las secciones anteriores conforma la estructura final del símbolo OFDM en el dominio del tiempo.

La duración total T_{sym} de un símbolo no se limita al tiempo útil de integración T_u necesario para recuperar la ortogonalidad, sino que incluye el intervalo de guarda temporal.

$$T_{sym} = T_{CP} + T_u \quad (20)$$

Donde:

- $T_u = 1/\Delta f$: Tiempo útil, portador de información.
- T_{CP} : Duración del Prefijo Cíclico.

En estándares avanzados como IEEE 1901, el intervalo de guarda se subdivide a su vez en dos componentes, siendo estas un intervalo de protección contra ecos (GI), y un intervalo de Roll-off (RI).

$$T_{CP} = GI + RI \quad (21)$$

Esta estructura define la eficiencia temporal del sistema (η_t), ya que el T_{CP} representa un tiempo de redundancia donde no se transmite nueva información:

$$\eta_t = \frac{T_u}{T_u + T_{CP}} \quad (22)$$

Existe, por tanto, un compromiso de diseño al aumentar el T_{CP} , el cual mejora la robustez frente a ecos largo, pero a su vez reduce la eficiencia η_t y la tasa de datos neta.

9.3.8. Relación Potencia Pico a Promedio

Una desventaja inherente y crítica de las técnicas multiportadora, como OFDM, es la alta variabilidad de la envolvente de la señal en el dominio del tiempo.

Dado que la señal transmitida es la superposición lineal de N subportadoras sinusoidales independientes, existen instantes temporales en los que las fases de múltiples subportadoras se alinean constructivamente, resultando en picos de potencia instantánea significativamente superiores a la potencia media del sistema.

Este fenómeno se cuantifica mediante la Relación Potencia Pico a Promedio (PAPR), definida formalmente para una señal de banda base compleja $\tilde{s}(t)$ como la relación entre la potencia máxima instantánea y su valor esperado [15]:

$$PAPR = \frac{\max |\tilde{s}(t)|^2}{E|\tilde{s}(t)|^2} \quad (23)$$

El impacto de una PAPR elevada es severo en la cadena de hardware analógico. Los componentes no lineales, particularmente en amplificadores y DAC's, poseen un rango dinámico lineal limitado. Si la señal de entrada excede el nivel de saturación o el rango de entrada de estos dispositivos, se produce un recorte de la señal.

Este recorte introduce dos tipos de degradación [15]:

- **Distorsión en banda (In-band distortion)**: Genera ruido de intermodulación

que destruye la ortogonalidad entre subportadoras y aumenta la BER.

- **Radiación fuera de banda (Out-of-band radiation):** El recorte abrupto genera componentes espectrales espurias en canales adyacentes, violando las máscaras de emisión espectral normativas.

Desde una perspectiva estadística, si el número de subportadoras N es suficientemente grande, la componente real e imaginaria de la señal OFDM en el dominio del tiempo pueden modelarse asintóticamente como variables aleatorias gaussianas (por el Teorema del Límite Central). En consecuencia, la amplitud de la señal sigue una distribución de Rayleigh [15]. Esto implica que, aunque los picos de máxima potencia teórica tienen una probabilidad de ocurrencia baja, los valores de PAPR moderados-altos son estadísticamente frecuentes, y obligan a diseñar una etapa de potencia adicional de soporte.

9.4. Norma IEEE 1901

Para garantizar la interoperabilidad y la coexistencia espectral en redes de banda ancha sobre líneas de potencia, este proyecto toma como referencia estricta la normativa de la Instituto de Ingenieros Eléctricos y Electrónicos (IEEE) 1901-2010 [2].

Dentro del estándar, se contemplan dos variantes de Capa Física. Este trabajo se alinea con la especificación FFT-OFDM (también referida como Windowed OFDM), la cual es compatible con la especificación comercial HomePlug AV. Tomando como referencia para establecer una comunicación robusta, la banda de frecuencias establecidas por la norma, de 1.8 MHz a 30 MHz, maximizando la eficiencia espectral mediante el uso de portadoras ortogonales densamente empaquetadas.

9.4.1. Parámetros de la Capa Física

La norma impone parámetros temporales y frecuenciales que aseguran la correcta decodificación de la señal para todos aquellos dispositivos correspondientes y certificados.

La configuración base utilizada en el diseño del transceptor de este proyecto se resume en la Tabla 2.

Parámetro	Símbolo	Valor
Frecuencia de Muestreo	f_s	100 MHz
Tamaño de FFT	N	4096
Espaciado de Subportadoras	Δf	24.414 kHz
Duración Símbolo Útil	T_u	40.96 μs
Intervalo de Guarda (Largo)	GI	5.56 μs (556 muestras)
Modulaciones Soportadas	-	BPSK hasta 4096-QAM

Tabla 2: Parámetros PHY definidos por IEEE 1901 para FFT-OFDM.

Es importante destacar que, si bien la norma contempla como opcionales modulaciones de alta densidad, de hasta 4096-QAM, para canales limpios, el soporte mandatorio y base para establecer el enlace abarca desde BPSK hasta 16-QAM. Este proyecto se centra en este subconjunto robusto, omitiendo las constelaciones superiores que requieren de SNR típicamente no disponibles en un entorno de validación inicial.

Asimismo, la frecuencia de muestreo de 100 MHz implica, según el Teorema de Nyquist, un ancho de banda máximo teórico de 50 MHz. Dado que $N = 4096$, la frecuencia de Nyquist coincide con el índice de subportadora $k = 2048$. Sin embargo, no todas estas subportadoras son utilizables. La norma define una máscara de transmisión estricta para evitar interferencias.

9.4.2. Máscara de Tono Espectral

El canal PLC no es un medio aislado, el cableado puede interferir con servicios de radio-comunicaciones licenciados. Por esta razón, el estándar IEEE 1901 define una Máscara de Tono la cual especifica qué subportadoras deben estar activas (ON) y cuáles deben apagarse (OFF).

Frequency (MHz)	PSD Limit (dBm/Hz)	Carrier ON/OFF (Default Broadcast Tone Mask)	Notes
$F \leq 1.71$	-92	Carriers 0-70 are OFF	AM broadcast band and lower
$1.71 < F < 1.8$	-85	Carriers 71-73 are OFF	Between AM and 160 m band
$1.8 \leq F < 2.00$	-85	Carriers 74-85 are OFF	160 m amateur band
$2.00 < F < 3.5$	-55	Carriers 86-139 are ON	FFT carriers
$3.5 \leq F < 4.00$	-85	Carriers 140-167 are OFF	80 m amateur band
$4.000 < F < 5.33$	-55	Carriers 168-214 are ON	1901 FFT carriers
$5.33 \leq F < 5.407$	-85	Carriers 215-225 are OFF	5 MHz amateur band
$5.407 < F < 7.0$	-55	Carriers 226-282 are ON	1901 FFT Carriers
$7.0 \leq F < 7.3$	-85	Carriers 283-302 are OFF	40 m amateur band
$7.3 < F < 10.10$	-55	Carriers 303-409 are ON	1901 FFT carriers
$10.10 \leq F < 10.15$	-85	Carriers 410-419 are OFF	30 m amateur band
$10.15 < F < 14.00$	-55	Carriers 420-569 are ON	1901 FFT carriers
$14.00 \leq F < 14.35$	-85	Carriers 570-591 are OFF	20 m amateur band
$14.35 < F < 18.068$	-55	Carriers 592-736 are ON	1901 FFT carriers
$18.068 \leq F < 18.168$	-85	Carriers 737-748 are OFF	17 m amateur band
$18.168 < F < 21.00$	-55	Carriers 749-856 are ON	1901 FFT carriers
$21.000 \leq F < 21.45$	-85	Carriers 857-882 are OFF	15 m amateur band
$21.45 < F < 24.89$	-55	Carriers 883-1015 are ON	1901 FFT Carriers
$24.89 \leq F < 24.99$	-85	Carriers 1016-1027 are OFF	12 m amateur band
$24.99 < F < 28.0$	-55	Carriers 1028-1143 are ON	1901 FFT Carriers
$28.0 \leq F < 29.70$	-85	Carriers 1144-1220 are OFF	10 m amateur band
$29.70 < F < 30.00$	-55	Carriers 1221-1224 are OFF	Unused Carriers
$30.00 \leq F < 50.00$	-85	Carriers 1225-2048 are OFF	Unused Carriers

Figura 8: Máscara de Tono según norma IEEE 1901 [2].

Como se ilustra en la Figura 8, el rango operativo principal se extiende aproximadamente desde 1.8 MHz hasta 30 MHz.

- Índices Activos (Verde): Las subportadoras resaltadas corresponden a las bandas permitidas para transmisión de datos.
- Notches: Las discontinuidades en la máscara (zonas blancas entre bloques verdes) corresponden a bandas de frecuencia prohibidas reservadas para servicios de radioaficionados y radiodifusión internacional. En estos índices, la potencia de transmisión debe reducirse al nivel del ruido térmico.

La implementación de esta máscara en el transmisor no se realiza mediante filtros analógicos, sino mediante la anulación lógica de los coeficientes X_k correspondientes en la

entrada de la IFFT. Esta configuración espectral específica define el escenario de prueba para la validación del sistema. En la sección 10.1 se describe cómo el entorno de simulación reproduce estas condiciones, inyectando ruido y atenuación precisamente en estas bandas de interés para evaluar el desempeño real del transceptor bajo normativas estandarizadas.

9.4.3. Estructura de Trama y Sincronización

Adicionalmente a la modulación de subportadoras, la norma IEEE 1901 establece una estructura de trama necesaria para el control del enlace. Dos elementos críticos de esta estructura son el "Preámbulo" y la "Secuencia de Verificación de Trama".

El estándar exige que cada paquete transmitido sea precedido por un Preámbulo de Sincronización. Este consiste en una señal de referencia conocida, diseñada para permitir al receptor realizar tres tareas fundamentales antes de procesar los datos, la detección de inicio de trama (Sincronización Temporal), corrección de desviaciones de frecuencia y el ajuste del Control Automático de Ganancia.

Asimismo, para garantizar la integridad de la información, la norma define el uso de un Check-Sum o Secuencia de Verificación de Trama al final del paquete de datos. Esto permite a la capa MAC descartar aquellos paquetes que hayan sufrido errores de bit irrecuperables durante la transmisión.

La implementación estricta de estos mecanismos de detección requiere bloques de hardware dedicados de alta complejidad (correladores rápidos). En el diseño de este prototipo, tal como se detallará en la sección 9.5, se optó por estrategias de sincronización simplificadas para validar la tecnología OFDM sin incurrir en la sobrecarga de hardware de un receptor comercial completo.

9.5. Justificación de la Elección de la Tecnología

La arquitectura del sistema propuesto no es arbitraria, sino que responde a una convergencia estratégica entre las restricciones físicas del canal PLC y la disponibilidad de recursos de hardware, lo que a su vez se alinea con los requerimientos normativos industriales.

A continuación, se fundamentan las decisiones de diseño críticas que definen este proyecto.

9.5.1. Selección de la Técnica de Multiplexación: OFDM vs. FBMC

En la literatura académica reciente, existe un consenso teórico sobre la superioridad de técnicas emergentes como Multiportadora por Banco de Filtros (FBMC) sobre OFDM [16, 17, 18]. Se citan ventajas como la eliminación del CP para ganar eficiencia espectral y el uso de filtros bien localizados para reducir los lóbulos laterales. Sin embargo, este proyecto se alinea conscientemente con una realidad que a su vez es compartida por la industria, la viabilidad de implementación en hardware.

En contraste con OFDM de lógica de ecualización reducida, FBMC, al eliminar el CP y permitir el solapamiento, introduce una interferencia intrínseca que, en un canal de alta dispersión como el PLC, requiere arquitecturas de ecualización matricial complejas [19]. Esto eleva considerablemente el costo computacional de la ecualización y adicionalmente adiciona mayor la latencia, lo que a su vez se traducen en mayor consumo de área de silicio en una solución de producto final. La simplicidad y robustez de OFDM lo mantienen como

la opción dominante en aplicaciones críticas de las telecomunicaciones y el IoT, tales como el 4G y 5G, Wi-Fi 6, comunicaciones satelitales y vehiculares V2X [15] .

El estándar de facto de la industria para PLC de banda ancha en interiores es el OFDM-PLC de IEEE 1901. Al alinear el diseño con este estándar se garantiza una mayor interoperabilidad teórica y se dispone de una base bibliográfica y normativa extensa para validar los resultados, reduciendo la incertidumbre en el desarrollo del prototipo.

Aunque el estándar permite un intervalo de Roll-off para el suavizado espectral, este proyecto en concordancia con su objetivo de validación de la tecnología implementa una ventana rectangular ($RI = 0$) para destinar todo el presupuesto temporal al intervalo de guarda ($T_{CP} = GI$). La emisión fuera de banda resultante se mitiga mediante la estrategia de Máscara de Tono y estrategias posteriores, la cual resulta en una solución de mayor eficiencia en hardware en contraste con la implementación bancos de filtros requeridos por FBMC.

9.5.2. Selección del Hardware Analógico (AFE)

Para la interfaz física con la red eléctrica, la elección del AFE comercial MAX2981 estuvo condicionada por la disponibilidad de recursos de hardware en el laboratorio. Sin embargo, esta limitación se transformó en una oportunidad de diseño.

Este componente proporciona una etapa de potencia, filtrado y acoplamiento validada industrialmente, capaz de inyectar señales con la linealidad requerida. Si bien impone una limitación de frecuencia de muestreo la cual es abordada en el Capítulo 11, su alta integración elimina la complejidad de diseñar una etapa analógica discreta de alta tensión, lo cual supera el alcance de este trabajo.

Como se detallará en el Capítulo 11, esta restricción de velocidad se compensa mediante técnicas de procesamiento digital, lo que permite cumplir con el espaciado de subportadoras exigido por la norma a pesar de la menor velocidad de reloj. De este modo, se demuestra la flexibilidad del diseño digital para adaptarse a hardware de prestaciones acotadas.

9.5.3. Selección de la Plataforma Digital: FPGA

La selección de una unidad FPGA responde fundamentalmente a requisitos de interfaz física y gestión de puertos I/O de alta velocidad.

El módulo analógico disponible cuenta con un conector estándar FMC-LPC (FPGA Mezzanine Card - Low Pin Count). La plataforma ZedBoard dispone nativamente de este puerto de expansión, permitiendo una conexión física directa, robusta y de impedancia controlada sin necesidad de adaptadores intermedios que degraden la señal.

Por otra parte, el AFE requiere una interfaz de datos paralela de 10 bits operando a 50 MSps sincronizada con el reloj de sistema. Gestionar un bus paralelo a esta velocidad con los tiempos de setup y hold estrictos requeridos es una tarea trivial para la lógica programable de una FPGA, diseñada para el paralelismo. En contraste, implementar esta interfaz en microcontroladores o DSPs genéricos suele requerir hardware externo adicional o consumir la totalidad de los recursos de DMA del procesador.

10. DISEÑO Y SIMULACIÓN DEL SISTEMA

Este capítulo detalla la metodología de ingeniería aplicada para el diseño del sistema de comunicaciones OFDM. Se describe la arquitectura lógica del transceptor implementada en MATLAB, la definición de los parámetros de Capa Física adaptados a las restricciones del hardware y la estrategia de validación mediante simulación.

El desarrollo se estructura en tres bloques fundamentales:

1. **Entorno de Simulación (Sección 10.1):** Justificación y configuración de la herramienta de generación de canales de la Universidad de Málaga (UMA) utilizada como referencia de validación.
2. **Elección de Parámetros (Sección 10.2):** Definición de la máscara espectral, tiempos de símbolo y adaptación de la norma IEEE 1901 a la frecuencia de muestreo de 50 MHz.
3. **Arquitectura del Transceptor (Sección 10.3):** Descripción detallada de los algoritmos de transmisión y recepción, incluyendo el mapeo BPSK, la inserción de pilotos y la estrategia de sincronización.

Dicho desarrollo tiene como fin demostrar la viabilidad teórica del enlace antes de su implementación física en la plataforma FPGA.

10.1. Entorno de Simulación

Para la validación teórica del sistema se utilizó el Generador de Canales PLC de la Universidad de Málaga (UMA) [3], una herramienta basada en MATLAB que implementa el modelo bottom-up de líneas de transmisión.

La selección de este generador responde a una decisión estratégica orientada a establecer una línea base de rendimiento con alta fidelidad física. Permitiendo, en lugar de usar un modelo estocástico, concebir un modelo basado en TLT que replica el comportamiento físico de los cables reales utilizados en el laboratorio. Siendo capaz inclusive de modelar efectos característicos y particulares de las líneas eléctricas como el efecto piel o las pérdidas dieléctricas que aumentan con la frecuencia.

Un factor determinante para su adopción es la abstracción de la complejidad matemática inherente al cálculo de los parámetros distribuidos de la red. Dado que el alcance de este trabajo se centra en el diseño del transceptor y en el análisis de su comportamiento frente a la física del canal, no en el desarrollo matemático de modelos de propagación. Esta herramienta permite evitar una desviación de recursos, delegando el cómputo numérico a librerías validadas por la comunidad científica.

La operatividad se gestiona mediante el script de configuración `config.m`, donde se definen los parámetros físicos críticos (topología, tipo de cable, longitudes e impedancias de carga). El generador sintetiza una respuesta de canal que captura los tres fenómenos degradantes clave:

1. **Desvanecimiento Selectivo:** Producto de la propagación multitrayecto modelada por la topología de red definida.
2. **Atenuación Realista:** Basada en modelos físicos de cables de cobre comerciales

$(2,5mm^2, 1,5mm^2, ..., etc.)$.

3. Escenarios de Ruido Complejo: Permite la inyección controlada de ruido impulsivo, superando las limitaciones de los modelos AWGN ideales.

Simular el sistema sobre un canal AWGN puro hubiese significado obtener resultados optimistas y engañosos, de poca utilidad para predecir el comportamiento del prototipo físico. De igual manera, el generar distribuciones de probabilidad para modelar ruidos complejos hubiese significado el romper con el equilibrio óptimo antes mencionado. Al utilizar el generador de la UMA, se somete al diseño lógico a condiciones hostiles controladas antes de la implementación en hardware, permitiendo diferenciar con precisión entre limitaciones algorítmicas y limitaciones del hardware analógico.

10.1.1. Simulación de Canales

A modo de enriquecer la validación del sistema y tecnología, se contemplan dos modelos de canales distintos. Uno es llamado Canal Limpio y presenta las características atenuantes y espectrales de una línea eléctrica de interiores, la cual a su vez carece de ruido impulsivo alguno, y un Canal Hostil, el cual si presenta ruido impulsivo y es asincrónico con la red. Adicionalmente, ambos canales son sometidos a dos pruebas distintas, una a corta distancia (1,9m de longitud de enlace) y una a larga distancia (de 12.25m de longitud).

El Canal Limpio es modelado mediante la respuesta $H(f)$ generada con la herramienta de simulación de la UMA, por su parte el Canal Hostil se confecciona adicionando muestras de ruido impulsivo, provistas de igual manera por el propio Grupo de Investigación.

La principal motivación a la hora de modelar el sistema radica en establecer un rendimiento base de referencia, el cual complementa a la implementación y a la descripción de resultados. No se busca replicar en forma de simulación el comportamiento del canal ni los datos obtenidos producto de la implementación. Es por ello que se propone que el modelo de canal (tanto a corta como larga distancia) contemple un cable directo entre transmisor y receptor, sin tener en cuenta derivaciones. Por su parte, la diferencia o distanciación de la implementación por sobre el modelo de referencia es abordada en la sección de RESULTADOS Y DISCUSIÓN.

La UMA por su parte, proporciona ejemplos de canales PLC (Figura 9) concebibles a través de la utilización de su herramienta:

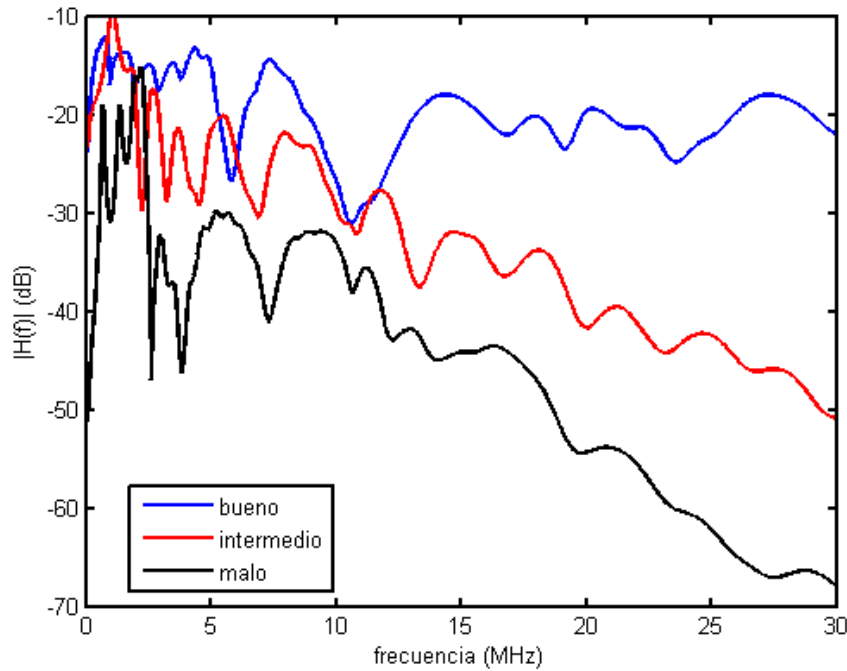


Figura 9: Canales ejemplo de la UMA [3].

Particularmente para este trabajo, se configuró el archivo `config.m` original, el cual soporta topologías de derivaciones (stubs) en el canal, para simular una conexión Punto-a-Punto pura entre emisor y receptor. A su vez, se tiene en cuenta los parámetros clave para el modelado.

- Frecuencia de Muestreo de 50MHz, coincidente con las prestaciones del AFE.
- El tamaño de 4096 de la IFFT implementada y la simetría hermítica.
- Modelado de Impedancias: En PLC la impedancia es variable y baja [2], se toma una impedancia del AFE transmisor de 5Ω , e impedancia de receptor de 50Ω . Este desacople de impedancias, junto con el de la línea, genera reflexiones realistas en el modelo, tal como ocurre en la implementación física.
- Caracterización del Medio: Tipo de cable 1 (fino, de $1,5mm^2$ y mayor resistencia por metro) para simular mayor atenuación.
- Escenarios de Prueba Definidos: Mediante la manipulación de la variable 'LONGITUD_CABLE' se configura el enlace a corta distancia ($1,9m$) y larga distancia ($12,25m$).

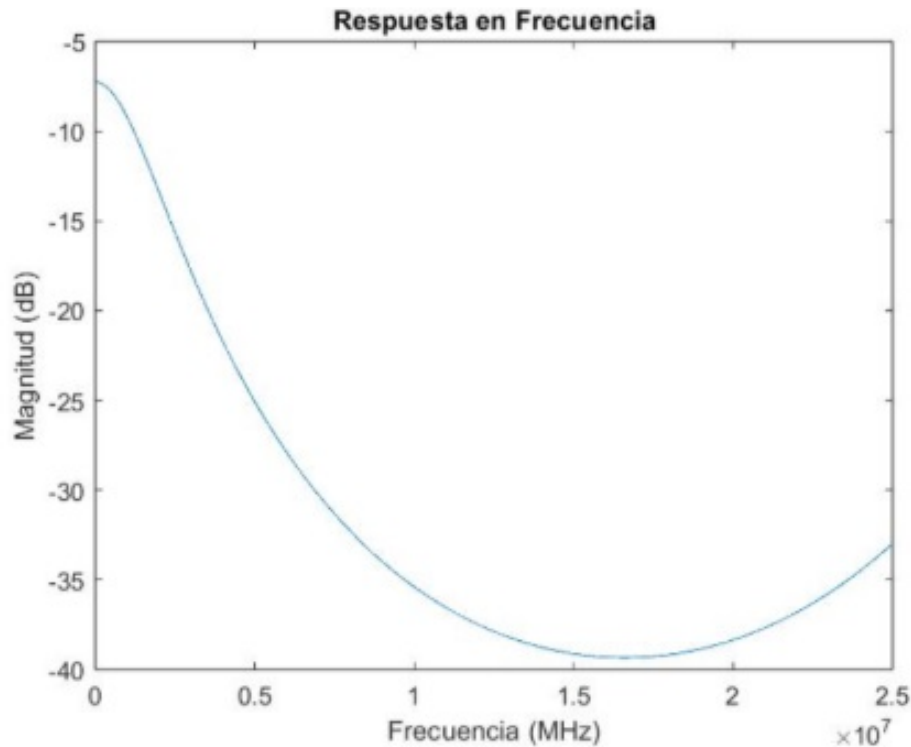


Figura 10: Simulación Canal Limpio a corta distancia.

En la Figura 10 se observa una curva suave, tipo filtro Filtro Paso Bajo (LPF), sin rizado en la banda de interés y con una caída monótona conforme a la frecuencia hasta que su aplanamiento.

Esto es así debido a que el cable de $1,9m$ es 'eléctricamente corto' para las frecuencias de la banda de interés, las reflexiones por ondas estacionarias en la red ocurren cuando la longitud del cable es comparable a la longitud de onda de la señal. La caída suave se debe puramente a la pérdida del conductor por efecto piel y dieléctrica, que aumenta con la raíz cuadrada de la frecuencia [3].

Entre 10 y 15 MHz, la longitud de onda en el cable comienza a ser comparable con la longitud física, y el sistema deja de comportarse como una impedancia RLC pura mostrando su primera 'onda estacionaria'.

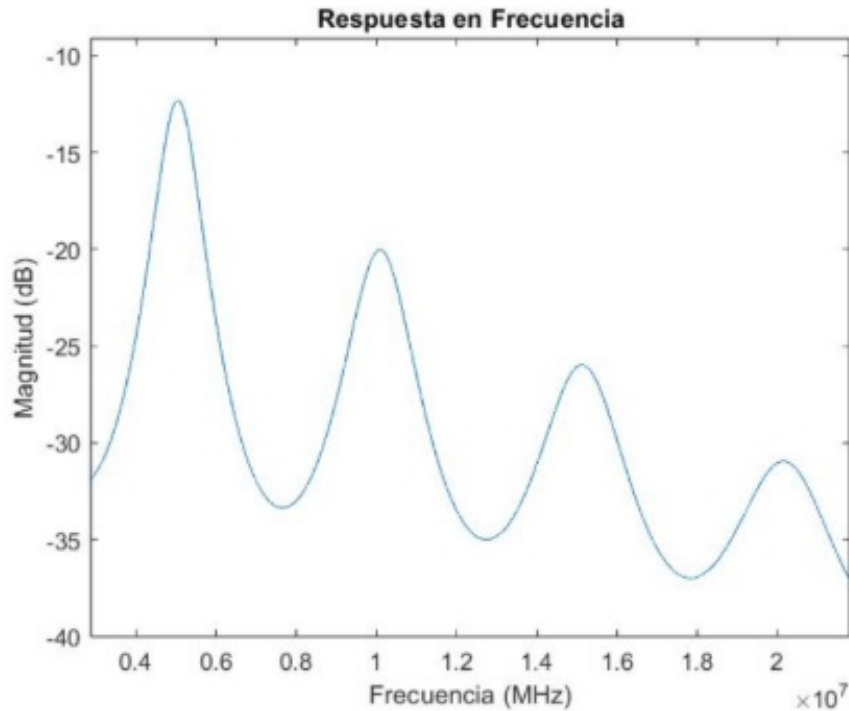


Figura 11: Simulación Canal Limpio a larga distancia.

En la Figura 11 se ilustra que el Canal Limpio a larga distancia evidencia un claro rizo, con valles y picos sobre una pendiente descendente general. Esta es la prueba en simulación de rebotes por ondas estacionarias, provocadas por la desadaptación de impedancias. En los picos, la onda incidente y reflejada se suman constructivamente, en los valles su interferencia es destructiva.

Por su parte, este canal comparte una semejanza en atenuación y pendiente descendente con el canal intermedio de ejemplo por la UMA, presentando si una oscilación de mayor uniformidad o limpieza, puesto que el modelo presenta un enlace PaP (un solo cableado). El ejemplo de la UMA considera múltiples derivaciones, con múltiples reflexiones e interferencias.

Finalmente, se realizan ambas pruebas modelando la propagación de la señal sobre ambos canales, mediante la instrucción `y=filter(h,1,x)`. Obteniendo la señal $y(t)$ de exactamente $93,04\mu s$, al igual que la señal de transmisión.

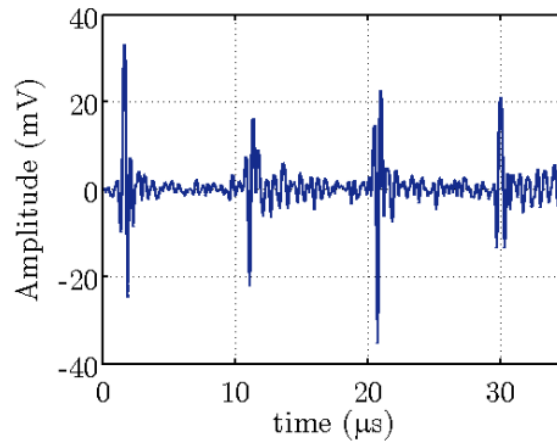


Figura 12: Muestras de Ruido Impulsivo.

Para confeccionar el Canal Hostil, se adicionan muestras de ruido impulsivo asincrónico a la señal temporal, provistas por el mencionado Grupo de Investigación de la UMA, como la de la Figura 12. Este proceso se realiza inmediatamente luego de la operación `filter()`.

10.2. Elección de Parámetros

Para evaluar el desempeño del sistema, se diseñó una cadena de simulación compuesta por etapas secuenciales.

Se toma como referencia la frase 'ella durmio, al calor de las masas', la cual conforma la carga útil de un único símbolo OFDM. La selección en el tamaño de la frase no es arbitrario, existiendo una limitación crucial la cual se expone en las secciones a continuación.

La frase se modula y es afectada por dos modelos de canales, generados utilizando la herramienta del Grupo de Trabajo en Comunicaciones por la Red Eléctrica de la Universidad de Málaga, a su vez ambos en dos pruebas cada uno a distancias propuestas diferentes.

Finalmente la frase se demodula y procesa para su respectivo análisis, ponderando la BER simulada y la integridad de la frase decodificada. Los resultados, fuentes de error, sus causas y las prestaciones son evaluadas en la sección RESULTADOS Y DISCUSIÓN.

El flujo de trabajo es el siguiente :

1. **Generación de la Señal:** Construcción del símbolo OFDM y conversión al dominio del tiempo para obtener $x(t)$ mediante el script `OFDM_simulación.m`.
2. **Modelado del Canal:** Ejecución de `config.m` para obtener la respuesta impulsiva $h(t)$ y su respuesta en frecuencia $H(f)$.
3. **Transmisión:** Se realiza la operación de la convolución de la señal de entrada con la respuesta del canal mediante la operación. Mediante la re-ejecución de `OFDM_simulación.m`, que a su vez se encargará de los pasos siguientes.
4. **Recepción:** Aplicación del proceso opuesto al modulador (eliminación del CP, aplicación de FFT) para obtener los puntos de constelación recibidos.

5. **Obtención de los bits recibidos:** Se obtienen a partir de la señal de recepción y posterior procesamiento y análisis de resultados y gráficas.

10.2.1. Técnica de Modulación

Se toma la frase de referencia la cual, mediante codificación ASCII, es convertida en un tren de bits que serán modulados mediante la técnica BPSK y posteriormente utilizados como carga útil del símbolo OFDM.

Entendiendo que el objetivo no es la transmisión masiva de datos, como lo fuese audio o video, sino asegurar la integridad de un mensaje de control en un entorno de Indoor PLC severamente afectado por ruido impulsivo y atenuación, se selecciona BPSK como técnica de Modulación Digital.

Esta elección se fundamenta en dos pilares: robustez y simplicidad.

Robustez: Aunque es la técnica de menor eficiencia espectral, BPSK maximiza la distancia euclidiana entre símbolos (situados en 0° y 180°). Esto ofrece la máxima resiliencia posible frente al ruido de fase: para que ocurra un error de decisión, la señal debería sufrir una distorsión de fase superior a $\pm 90^\circ$, un margen de seguridad crítico para validar este primer prototipo físico en un canal hostil.

Facilidad de Implementación: BPSK es la técnica de modulación más sencilla de sintetizar y detectar en hardware. En el transmisor, el mapeo es trivial, basta con asignar al bit lógico '0' el valor -1 y al bit '1' el valor $+1$ (o viceversa), simplificando drásticamente la lógica de la FPGA frente a esquemas Modulación de Amplitud en Cuadratura (QAM) que requieren control de amplitud multinivel.

10.2.2. Señal a Transmitir: Características y Prestaciones

Tomando como referencia la norma IEEE 1901 [2], el tamaño de transformada (IFFT del lado del transmisor, FFT del lado receptor) a implementar es de 4096 puntos, con un prefijo cíclico de 556 muestras.

Debido a la simetría hermitiana, necesaria para obtener una señal real a la salida, la cantidad de subportadoras efectivas se reduce a la mitad (2048 índices positivos), de las cuales solo un subconjunto estará activo. Para la asignación espectral, se parte de una máscara de tono proporcional a la norma, según la máscara de tono definida en el estándar [2].

Sin embargo, dado que el hardware disponible (AFE) opera a una frecuencia de muestreo de 50 MHz (la mitad de lo especificado en la norma), se deben reconfigurar los índices de acceso. Es aquí donde resalta la decisión de portar la configuración, se optó por **aplicar un escalamiento lineal de factor 2 sobre los índices originales**, una migración de forma directa que preserva los límites de frecuencia establecidos por el estándar y sin introducir errores de cuantificación en los bordes de los notches.

Esta operación tiene implicancias físicas y espectrales importantes que se detallan a continuación:

- **Configuración en Peine (Comb Spectrum):** Al multiplicar los índices originales por dos unidades, la transmisión pasa de utilizar frecuencias consecutivas, a utilizar frecuencias alternas de solo índices pares (205, 206, 207... $\rightarrow$ 410, 412, 414...).

Se cumple la máscara de la norma dentro del rango mencionado, con una menor densidad de portadoras.

- **Ocupación de Ancho de Banda:** El sistema funciona de igual manera en un Ancho de Banda de Canal de 10 MHz, de 5 a 15 MHz como fué antes mencionado.

Se utiliza entonces la mitad de la densidad de portadoras disponible en el Ancho de Banda seleccionado.

Lejos de ser una desventaja, esta implementación Comb Spectrum se mantuvo intencionalmente, lo que le otorga al sistema una mayor robustez. Los índices de subportadoras impares, o "huecos" de frecuencia, entre subportadoras activas pares actúan como bandas de guarda espectral intrínsecas, mitigando la ICI y reduciendo la probabilidad de error ante desviaciones de frecuencia, preservando ortogonalidad.

Finalmente, se aplica la operación IFFT para la confección de la carga útil y se genera la señal extendida incorporando el prefijo cíclico, completando así la formación del símbolo OFDM.

Este símbolo se concibe como una señal $x(n)$ de 4652 muestras, 4096 de transformada y 556 de CP, la cual a una frecuencia de muestreo de 50 MHz ocupará una ventana temporal correspondiente a $T_{símbolo} = 93,04\mu s$.

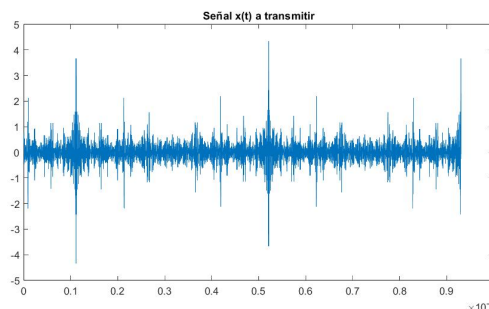


Figura 13: Señal a transmitir en el dominio del tiempo.

Tras la aplicación de la IFFT y la adición del prefijo cíclico, se obtiene la señal en banda base completa $x(t)$. La Figura 13 ilustra este símbolo en el dominio del tiempo, donde se puede apreciar la alta variabilidad de la envolvente característica de las señales OFDM. Los picos de amplitud prominentes que se observan son consecuencia de la suma constructiva de las múltiples subportadoras, evidenciando el fenómeno de alto PAPR que el hardware analógico debiese afrontar sin saturación.

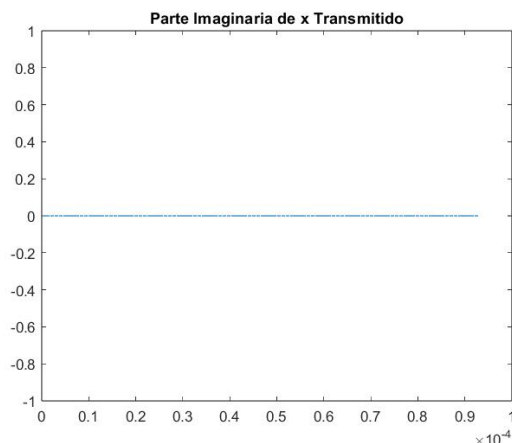


Figura 14: Componente imaginaria de la señal a transmitir.

Para validar la consistencia matemática del diseño, se analizó la parte imaginaria de la señal generada tras la IFFT. La Figura 14 confirma que, gracias a la simetría hermítica impuesta en el espectro, la componente imaginaria es numéricamente despreciable (residuo computacional cercano a cero). Esto garantiza que la señal $x(t)$ es estrictamente real, un requisito indispensable para poder ser procesada por el convertidor digital-analógico (DAC) y transmitida por el medio físico.

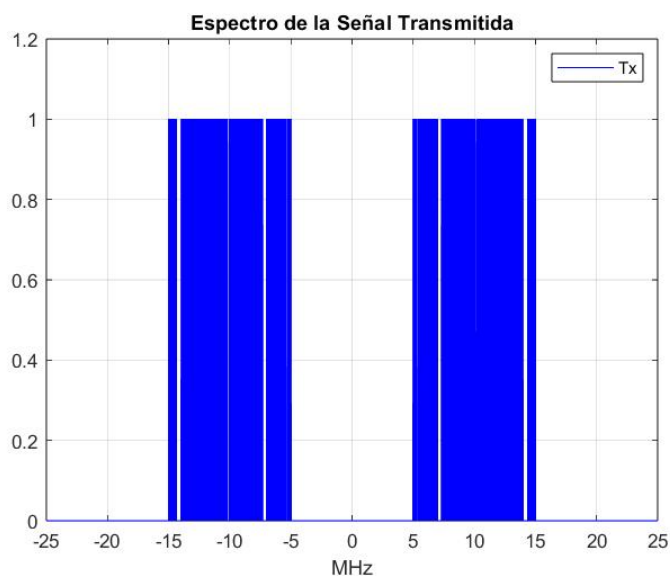
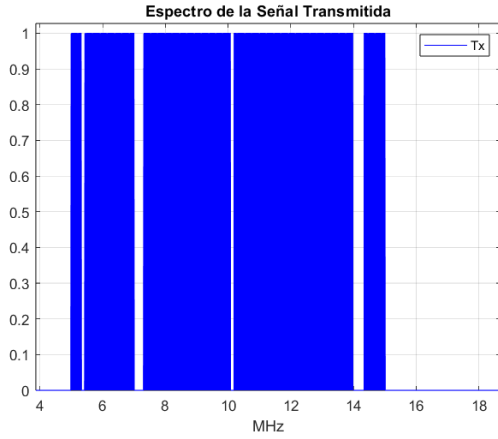
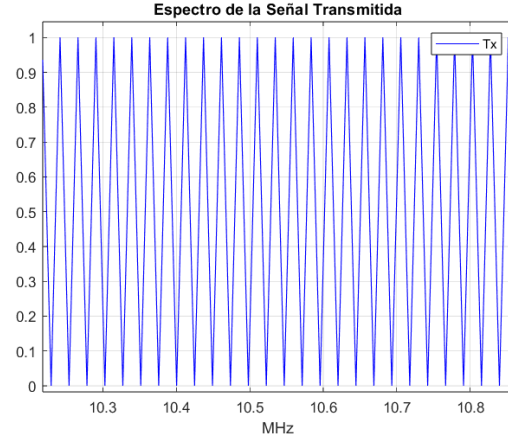


Figura 15: Señal a transmitir en el dominio de la frecuencia.

La Figura 15 presenta el espectro de magnitud resultante, donde se distinguen claramente dos bandas de energía simétricas (frecuencias positivas y negativas) ubicadas entre los 5 y 15 MHz producto de la Simetría Hermítica.



(a) Subportadoras Activas, Ventana de Gráfico entre 4 MHz y 18 MHz.



(b) Implementación Comb Spectrum: Zoom in entre 10.2 MHz y 10.9 MHz.

Esta visualización confirma que la energía de la señal está confinada estrictamente a las subportadoras activas seleccionadas en la Figura 16a, validando la implementación de la máscara de tono adaptada y la estructura de 'Comb Spectrum' de la Figura 16b antes de la etapa de conversión D/A.

De la Figura 16a, el número total de subportadoras activas, según la máscara de tono definida, es de 377.

La resolución en frecuencia Δf es de:

$$\Delta f = \frac{50MHz}{4096} = 12,207kHz \quad (24)$$

La duración de símbolo OFDM completo T_{sym} :

$$T_{sym} = \frac{N_{total}}{f_s} = \frac{4652}{50MHz} = 93,04\mu s \quad (25)$$

La duración del tiempo de información útil T_u y del prefijo cíclico T_{cp} :

$$T_u = \frac{1}{\Delta f} = \frac{1}{12,207kHz} = 81,92\mu s \quad (26)$$

$$T_{cp} = T_{sym} - T_u = 93,04\mu s - 81,92\mu s = 11,12\mu s \quad (27)$$

Verificamos índices inicial y final para el ancho de banda propuesto:

$$k_{min} = 410$$

$$k_{max} = 1230$$

$$f_{min} = k_{min} \cdot \Delta f = 410 \cdot 0,012207 \text{ MHz} = \mathbf{5,0048 \text{ MHz}} \quad (28)$$

$$f_{max} = k_{max} \cdot \Delta f = 1230 \cdot 0,012207 \text{ MHz} = \mathbf{15,0146 \text{ MHz}} \quad (29)$$

Ancho de Banda Ocupado:

$$BW_{ocupado} = N_{sc} \cdot \Delta f \quad (30)$$

$$BW_{ocupado} = 377 \cdot 12,207 \text{ kHz} = \mathbf{4,602 \text{ MHz}}$$

La señal presenta una tasa de símbolos de:

$$r = \frac{1}{T_{sym}} = \frac{1}{93,04\mu s} = 10,75kbaudios \quad (31)$$

Al modular con BPSK, la cantidad de bits por subportadora es de la unidad. La tasa de señalización será:

$$Tasa = 377subport. \cdot \frac{1bit}{subport.} \cdot 10,75kbaudios = 4,052Mbps \quad (32)$$

Eficiencia Espectral (η):

$$\eta = \frac{\text{Tasa de Bits}}{\text{Ancho de Banda del Canal}} \quad (33)$$

$$\eta = \frac{4,052 \text{ Mbps}}{10 \text{ MHz}} = 0,4052 \text{ bps/Hz}$$

Eficiencia del Temporal:

$$\frac{T_{util}}{T_{sym}} = \frac{81,92}{93,04} = 0,88 \quad (34)$$

La restricción de utilizar modulación BPSK (1 bit por símbolo) combinada con la máscara de tono reducida (377 subportadoras activas) impone un límite estricto en la capacidad de carga útil por símbolo OFDM. La capacidad total es de 377 bits, lo que requirió fragmentar o limitar la longitud de la cadena de caracteres de prueba a 47 caracteres ASCII para asegurar que pudiera ser encapsulada íntegramente dentro de un único período de símbolo.

Se tiene entonces una señal temporal $x(t)$ que corresponde a un único símbolo OFDM de duración igual a $93,04\mu s$ y que contiene tanto la carga útil, siendo esta la frase de referencia, como el mencionado prefijo cíclico.

10.3. Arquitectura del Transceptor

El diseño del sistema OFDM se implementó en MATLAB siguiendo un enfoque modular, dividiendo el procesamiento en tres etapas principales, siendo estas la Preparación de Datos, Procesamiento Frecuencial y Ensamblado Temporal. Esta segmentación refleja la estructura lógica del transceptor físico que posteriormente se llevará al hardware.

A continuación, se presenta el flujo detallado de la etapa de transmisión, ilustrado en las siguientes Figuras, las cuales representan la implementación en software de la cadena de procesamiento digital antes de la etapa de conversión D/A. Esta misma metodología de diseño basado en diagramas de flujo se aplicó para modelar la simulación del canal con ruido impulsivo y la arquitectura del receptor digital, cuyos diagramas se detallan en las secciones siguientes de este capítulo.

10.3.1. Preparación de Datos y Modulación

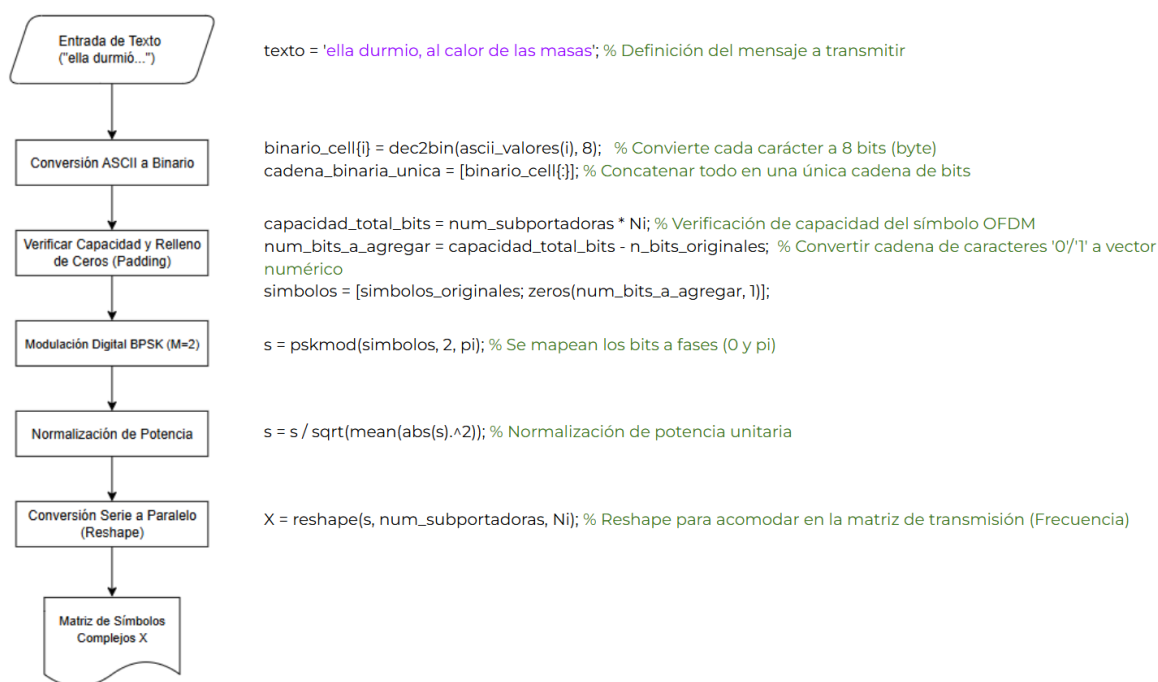


Figura 17: Diagrama de flujo del Transmisor en MATLAB. (a) Preparación de datos y modulación.

En la Figura 17 ilustra el proceso de inicio con el mensaje que se desea transmitir. La cadena de caracteres se convierte a su representación binaria (8 bits por carácter) y se concatena en un único flujo de bits. Se verifica que la longitud del mensaje no exceda la capacidad del símbolo OFDM. Si el mensaje es más corto, se realiza un proceso de padding (relleno con ceros) para completar el número de bits requerido por la asignación de subportadoras. Posteriormente, el flujo binario se mapea a símbolos complejos utilizando una modulación BPSK. Finalmente, los símbolos se normalizan en potencia y se reorganizan en una matriz donde cada columna representa la carga útil de un símbolo OFDM.

10.3.2. Procesamiento Frecuencial e IFFT

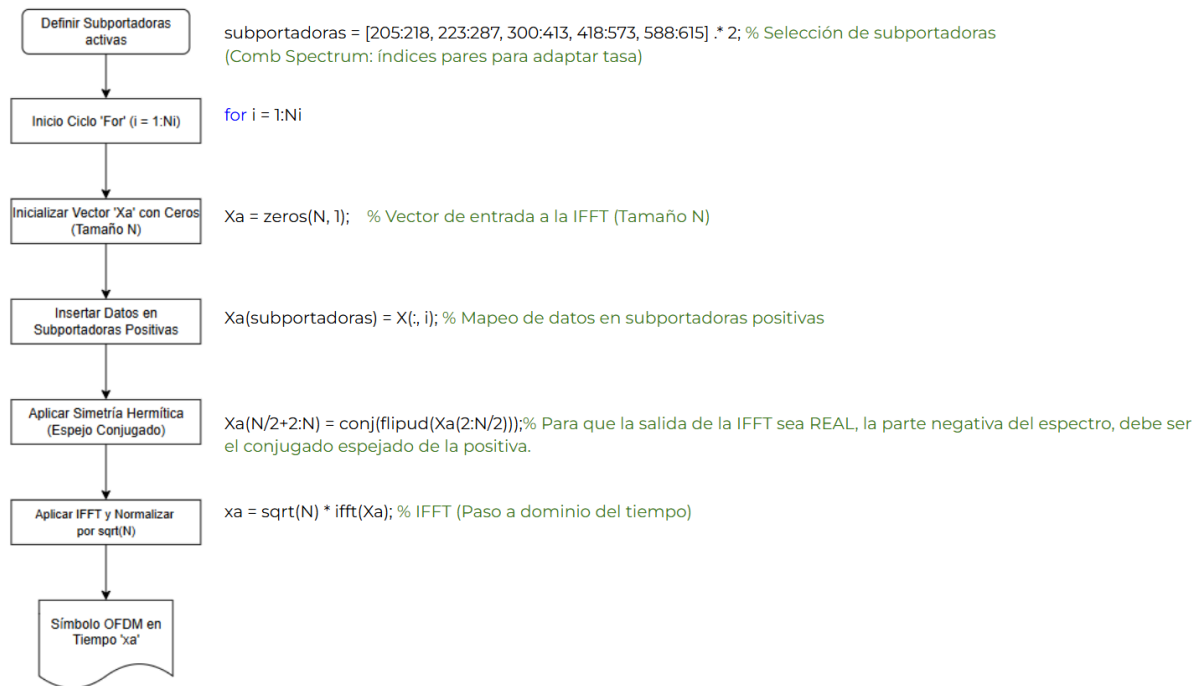


Figura 18: Diagrama de flujo del Transmisor en MATLAB.(b) Procesamiento frecuencial e IFFT.

Dentro del bucle principal de la Figura 18, la generación de símbolos, se inicializa un vector de $N = 4096$ puntos en cero, correspondiente al dominio de la frecuencia. Los símbolos BPSK de datos se insertan en los índices correspondientes a las subportadoras activas definidas por la máscara de tonos (índices pares entre 5 y 15 MHz).

Finalmente, se aplica Simetría Hermítica y la Transformada Rápida de IFFT de $N = 4096$ puntos y se normaliza el resultado por el factor $\sqrt{N}$ para preservar la energía de la señal.

10.3.3. Ensamblado Temporal

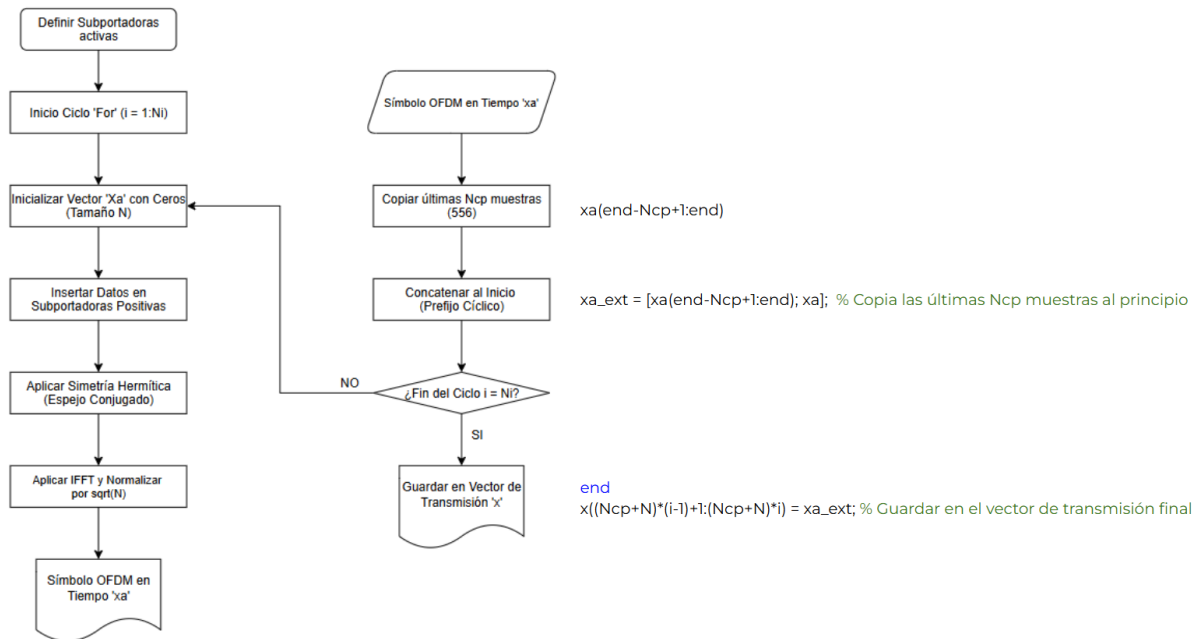


Figura 19: Diagrama de flujo del Transmisor en MATLAB.(c) Ensamblado temporal con Prefijo Cíclico.

En la Figura 19 la señal en tiempo resultante de la IFFT, $x_a(t)$, se somete al proceso de adición del intervalo de guarda. Se copian las últimas $N_{cp} = 556$ muestras de la señal y se concatenan al inicio, formando el Prefijo Cíclico. Esta operación es crucial para combatir la ISI y facilitar la ecualización en el receptor. El símbolo OFDM extendido resultante se almacena en el vector de transmisión final. El diagrama de flujo ilustra un proceso lineal para la generación de una única trama extendida, que es la modalidad utilizada para las pruebas de validación experimental en este trabajo. La señal final $x(t)$ queda lista para ser enviada a la etapa de simulación del canal físico o al hardware.

10.3.4. Arquitectura de Simulación del Canal

Para evaluar el desempeño del sistema en un entorno realista antes de la implementación en hardware, se desarrolló un modelo de canal en MATLAB que incorpora las principales fuentes de degradación presentes en una red eléctrica de interiores.

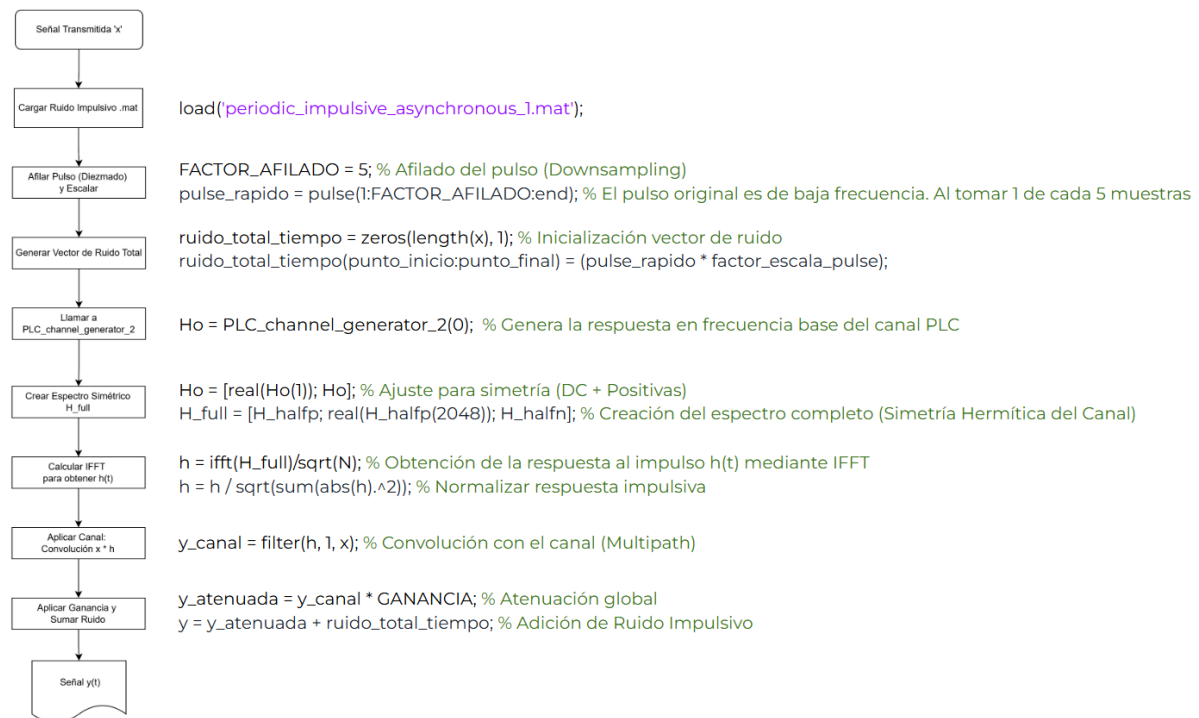


Figura 20: Diagrama de flujo del simulador de canal PLC.

La Figura 20 ilustra el proceso de modelado del entorno. El flujo se divide en dos ramas principales convergentes. Por un lado, se genera el modelo del canal físico, utilizando la función generadora UMA para obtener la respuesta en frecuencia $H(f)$. A esta respuesta se le aplica simetría hermítica y la IFFT para obtener la respuesta al impulso $h(t)$, la cual se convoluciona con la señal transmitida $x(t)$ para simular la atenuación y el multitrayecto.

Paralelamente, se modela la interferencia mediante muestras de ruido impulsivo. Para emular un transitorio de alta frecuencia y banda ancha, el pulso original se somete a un proceso de afilado por diezmado, se escala en amplitud y se inyecta en una posición temporal específica.

Finalmente, la señal filtrada por el canal y el vector de ruido se suman, aplicando una ganancia global que representa las pérdidas de inserción (relación 1:10 del transformador del AFE) y el efecto de carga de la red, resultando en la señal recibida final $y(t)$.

10.3.5. Arquitectura del Receptor

El receptor en sí realiza las operaciones inversas al transmisor, posteriormente se toman los bits recibidos para recuperar la información enviada y evaluar la calidad del enlace.

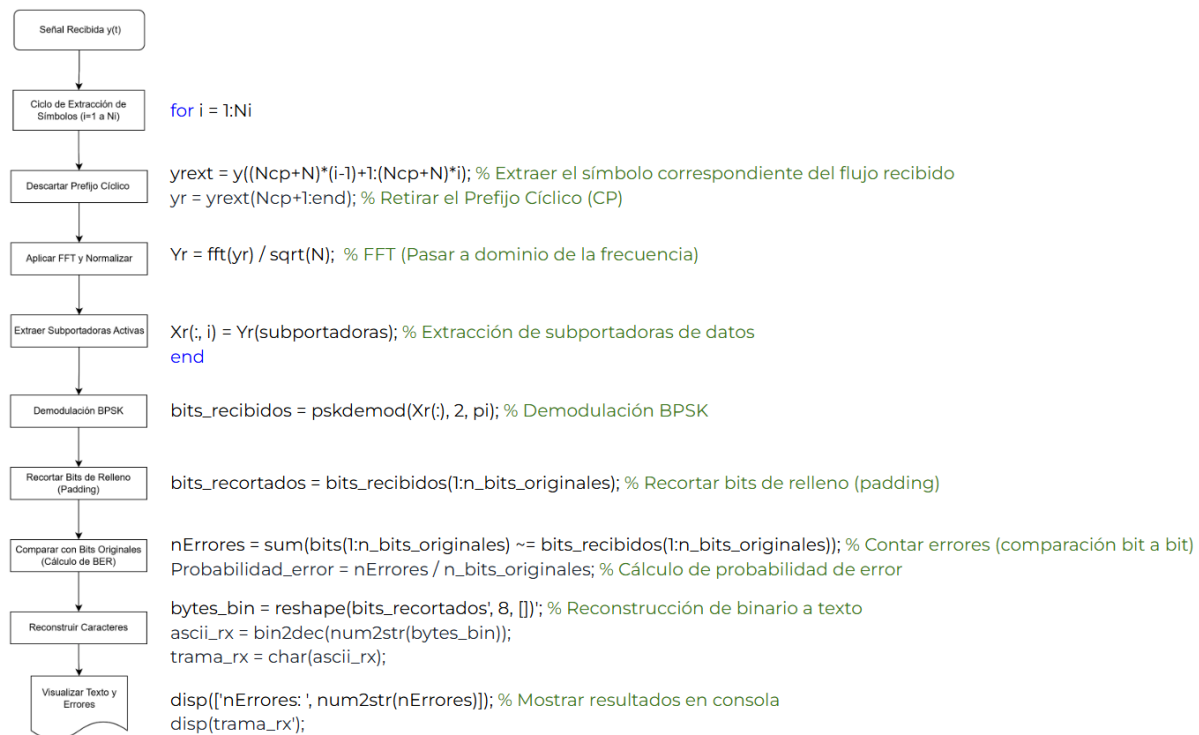


Figura 21: Diagrama de flujo del Receptor.

La Figura 21 describe la secuencia de procesamiento de la señal recibida $y(t)$. El receptor elimina del i – *símo* símbolo su Cp y sobre la señal útil restante se aplica la FFT y una normalización, finalmente se extraen los símbolos complejos ubicados en las subportadoras activas.

Una vez recuperada la matriz de símbolos, se procede a la demodulación BPSK mediante decisión dura de fase. El flujo de bits resultante se trunca para eliminar el relleno (padding) agregado en el transmisor, recuperando la longitud del mensaje original. Finalmente, se compara este flujo con los bits transmitidos para calcular el BER y se reconstruyen los caracteres ASCII para obtener el mensaje de texto final, permitiendo la verificación de integridad.

10.3.6. Estrategia de Recepción y Procesamiento

En la arquitectura de recepción se descarta el prefijo cíclico, se aplica la operación FFT y se recupera la información de las subportadoras activas.

Al disponer de los puntos de constelación recibidos (afectados por el canal) se aplica la demodulación BPSK para recuperar los bits recibidos. De esta manera, se contabiliza la cantidad de bits con errores, la BER simulada, y la integridad de la frase de referencia post canal.

El procesamiento y relevamiento de los datos incluye el análisis de caracteres afectados en la frase recibida, la BER obtenida, así como el análisis gráfico de las señales en el dominio del tiempo, de la frecuencia y el diagrama de constelaciones. Factores que se contrastan posteriormente con la implementación.

11. IMPLEMENTACIÓN Y PRUEBAS EXPERIMENTALES

El presente Capítulo tiene por objeto detallar la ingeniería de la implementación física del sistema transceptor propuesto, materializando los modelos teóricos en una plataforma de hardware real. Se describirá el proceso de integración entre la lógica programable y la interfaz analógica, y se expondrán las soluciones de firmware desarrolladas para superar las restricciones de tiempo real, estableciendo la metodología rigurosa utilizada para la validación experimental.

La exposición se organiza de la siguiente manera:

En la Sección 11.1, se presentan las especificaciones técnicas de la plataforma de desarrollo híbrida, compuesta por el SoC Zynq (ZedBoard) y el Front-End Analógico (AFE) MAX2981, justificando la elección de estos componentes para la arquitectura del sistema.

A continuación, las Secciones 11.2 y 11.3 abordan los desafíos de integración hardware, analizando las limitaciones críticas impuestas por el AFE y describiendo la arquitectura del firmware desarrollada en VHDL, incluyendo el diseño de los controladores de interfaz y la gestión de dominios de reloj.

La Sección 11.5 establece la metodología de medición y captura de datos, definiendo el esquema de Hardware-in-the-Loop utilizado para adquirir y acondicionar las señales del canal físico mediante instrumentación de laboratorio.

Finalmente, en la Sección 11.6 se detalla la estrategia de sincronización y caracterización de latencia, explicando el algoritmo de correlación implementado para la recuperación exitosa de la trama en un entorno asíncrono.

11.1. ZedBoard (SoC Zynq)

La implementación física se realiza en una ZedBoard, que contiene un SoC Zynq de Xilinx. Este dispositivo integra un Sistema de Procesamiento - Parte Procesador del Zynq (PS) basado en un procesador Compañía de Diseño de Software y Semiconductores (ARM) y Lógica Programable - Parte FPGA del Zynq (PL) de una FPGA. Este proyecto se centra exclusivamente en la PL, implementando toda la lógica del transmisor en Lenguaje de Descripción de Hardware (VHDL).

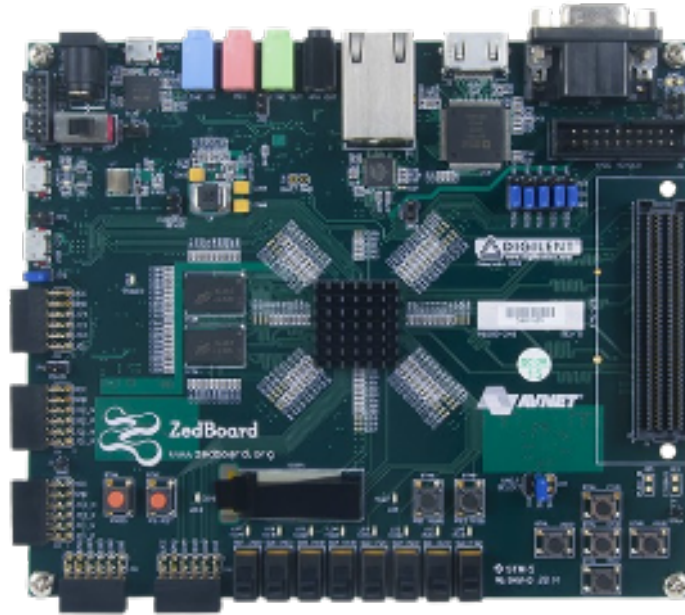


Figura 22: ZedBoard Zynq-7000 [4].

Como plataforma de desarrollo principal se seleccionó la placa de evaluación ZedBoard ilustrada en la Figura 22, la cual integra un dispositivo Zynq-7000 All Programmable SoC de Xilinx.

Para el presente proyecto, la implementación del OFDM se realizó exclusivamente en la Lógica Programable (PL) utilizando lenguaje de descripción de hardware VHDL. Esta decisión de diseño permite garantizar el determinismo temporal estricto requerido para el procesamiento de las tramas OFDM en tiempo real, evitando las latencias indeterminadas asociadas a los sistemas operativos que se ejecutan en el PS.

Es de destacar que al momento de la confección de este proyecto, se contó con la disponibilidad de una única Zedboard, la cual es aprovechada en la arquitectura transmisora. No obstante, esta disponibilidad, lejos de ser una debilidad, permitió desarrollar una arquitectura de validación basada en post-procesamiento offline para desacoplar la validación de los algoritmos de recepción de las restricciones temporales de la FPGA, permitiendo un análisis de punto flotante de alta precisión sobre señales reales capturadas.

11.2. AFE MAX2981

La interfaz con el medio físico se implementó utilizando el circuito integrado MAX2981 de Maxim Integrated. Este dispositivo es un AFE de alta integración diseñado específicamente para comunicaciones PLC de banda ancha, cumpliendo con las especificaciones de la normativa IEEE 1901.

El MAX2981 integra en un solo chip las cadenas completas de transmisión y recepción, simplificando drásticamente el diseño de la etapa analógica. Su arquitectura interna, detallada en el diagrama de bloques de la Figura 23, se compone de los siguientes bloques funcionales críticos para el sistema:

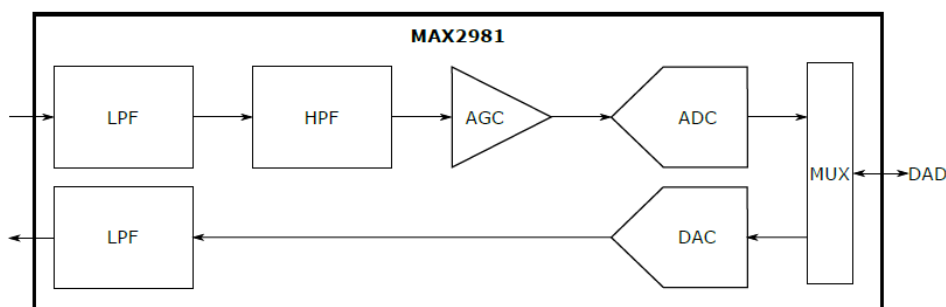


Figura 23: Diagrama de Bloques MAX2981 [5].

- **Conversión de Datos:** Dispone de un DAC y un ADC de 10 bits, operando a una frecuencia de muestreo (f_s) de 50 Millones de Muestras por Segundo (MSps). Esta tasa de muestreo define el ancho de banda de Nyquist del sistema en 25 MHz, lo cual impone una limitación hardware frente al ancho de banda teórico especificado por el estándar IEEE 1901.
- **Cadena de Transmisión (TX):** La señal digital proveniente de la FPGA ingresa al DAC. Posteriormente, la señal analógica resultante atraviesa un LPF de reconstrucción para eliminar las imágenes espectrales generadas por el proceso de conversión.
- **Cadena de Recepción (RX):** La señal entrante desde la red eléctrica es procesada por un LPF antialiasing y, críticamente, por un Filtro Paso Alto (HPF) diseñado para atenuar el ruido de baja frecuencia y las interferencias de la banda de AM (<2 MHz). A continuación, un Control Automático de Ganancia (AGC) ajusta el rango dinámico de la señal antes de su digitalización por el ADC.

El AFE MAX2981 requiere de 10 bits de datos a 20 ns (50 MHz), con un setup time y hold time perfectos. Un microcontrolador estándar ejecuta instrucciones secuenciales, donde incluso a 200 MHz le tomaría varios ciclos leer la memoria, colocar el dato en el puerto y cambiar el pin de reloj. No es implementable un microcontrolador a una tasa de 50 Millones de palabras por segundo en un puerto paralelo de 10 bits de forma continua y determinista.

La FPGA, incluso al actuar como transportador de datos y como bloque de adaptación e interfaz, es la única que puede garantizar el determinismo estricto de enviar datos a 50 MHz sin jitter, porque lo hace en hardware paralelo, no en software secuencial.

Además de las limitaciones de procesamiento, la elección de la ZedBoard se justifica por la compatibilidad electromecánica directa. El AFE utiliza el estándar FMC para garantizar la integridad de señal en el bus paralelo de 50 MHz. Intentar adaptar esta interfaz de alta densidad a un microcontrolador requeriría el desarrollo de hardware adicional Placa de Circuito Impreso (PCB) de alta complejidad y costo, introduciendo puntos de fallo innecesarios y problemas de integridad de señal que se evitan completamente al usar la plataforma nativa FPGA.

11.3. Estructura de Hardware y re-Diseño

Si bien el estándar IEEE 1901 define un ancho de banda de señal de hasta 28 MHz, utilizando una frecuencia de muestreo recomendada de 100 MSps [2], el AFE MAX2981

seleccionado para este proyecto cumple con la norma antecesora HomePlug 1.0, la cual opera a una tasa fija de 50 MSps [5]. Esto impone que el ancho de banda de Nyquist disponible se limite a 25 MHz. Por lo tanto, el presente diseño realiza una adaptación necesaria en función de las siguientes restricciones del Frontend Analógico:

1. Frecuencia de Muestreo (50 MSps).
2. Limitación de Ancho de Banda (HomePlug 1.0 vs IEEE 1901).
3. Máscara de Tono Adaptada.

En consecuencia, este proyecto implementa un subconjunto funcional de la capa física del estándar IEEE 1901. Se mantiene la estructura de la trama, la modulación OFDM y los mecanismos de prefijo cíclico, pero se escala el ancho de banda operativo al rango 5 MHz - 15 MHz.

El nuevo ancho de banda contemplará aquellas frecuencias entre 5MHz y 15MHz, respetando las subportadoras activas que impone la norma IEEE 1901 dentro de ese rango. Esta decisión de diseño permite validar los algoritmos de procesamiento y la viabilidad del enlace manteniendo la compatibilidad espectral con la normativa, aunque con una capacidad de canal bruta proporcionalmente reducida, dadas las mencionadas limitaciones del hardware disponible.

El diseño del sistema digital se ha realizado íntegramente utilizando el lenguaje de descripción de hardware VHDL, priorizando la portabilidad y el control determinista sobre el flujo de datos.

11.3.1. Arquitectura del Firmware

La arquitectura interna implementada en la lógica programable (PL) del SoC Zynq se estructura en tres bloques jerárquicos fundamentales, controlados por un módulo de nivel superior (`top.vhd`).

- **Memoria de Muestras:** Se utilizan bloques de memoria Memoria de Acceso Aleatorio (RAM) internos de la FPGA, inicializados mediante archivos de coeficientes (`.COE`) generados previamente en la etapa de simulación MATLAB. Esto garantiza que la señal digital transmitida sea idéntica a la teórica, aislando cualquier degradación exclusivamente al dominio analógico y al canal.
- **Lógica de Lectura:** Un contador de direcciones cíclico recorre la memoria, extrayendo las muestras I/Q cuantificadas. Este bloque incluye la lógica necesaria para gestionar el inicio y fin de trama, permitiendo la transmisión en ráfagas continuas.

11.3.2. Controlador del AFE

La gestión del transceptor MAX2981 constituye un bloque fundamental de la arquitectura de hardware, dado que el dispositivo opera como un periférico esclavo cuya funcionalidad y parámetros de operación se encuentran estrictamente subordinados a la configuración en descripción de hardware y FPGA. Para orquestar esta interacción, se diseñó un controlador dedicado (módulo `spi_config_afe_tx.vhd`) estructurado sobre una Máquina de Estados Finitos (FSM).

Esta FSM gestiona dos interfaces físicas simultáneas:

- **Interfaz de Datos Paralela:** Gestiona el bus bidireccional de 10 bits (DAD[9:0]). El controlador asegura que los datos se presenten en el bus con el setup y hold time correctos requeridos por el DAC del MAX2981, manejando las señales de control ENTX y ENREAD para evitar contenciones en el bus durante los cambios de estado TX/RX.
- **Interfaz de Configuración (SPI):** Una máquina de estados secuencial emula el protocolo Interfaz Periférica Serie (SPI) de tres hilos (SCLK, SDIO, CS) para escribir en los registros internos del AFE. Esto permite configurar dinámicamente, durante el arranque del sistema, parámetros como la frecuencia de corte del LPF y la ganancia de transmisión, sin necesidad de re-sintetizar el hardware.

11.3.3. Descripción de la Interfaz Física y Asignación de Pines

El MAX2981 se integra en el sistema a través de un encapsulado de 64 pines. Para la implementación del transceptor sobre la plataforma ZedBoard, se seleccionó y gestionó un subconjunto crítico de terminales encargados de la transferencia de datos, la sincronización y el control de modo.

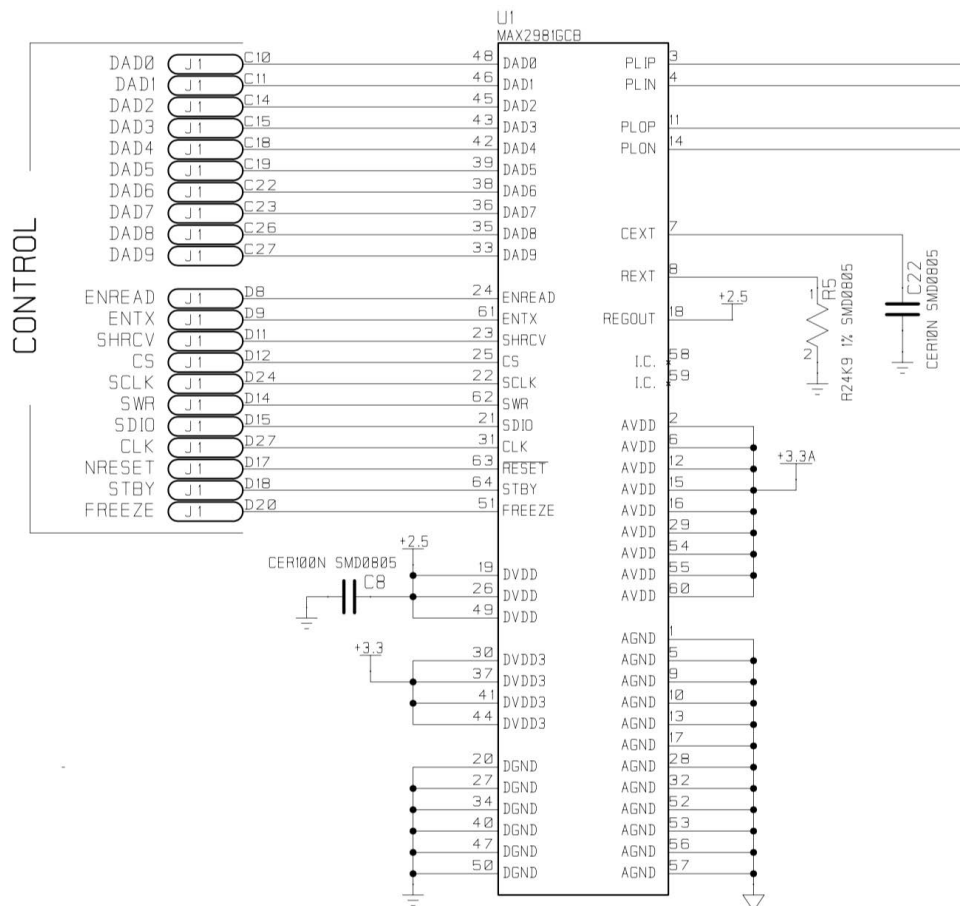


Figura 24: Pines del MAX2981 utilizado como AFE [6].

En la figura 24 se ilustra la interfaz digital entre la FPGA y el AFE se clasifica en tres grupos funcionales principales [5]:

Bus de Datos Multiplexado (DAD[9:0]): Constituye el núcleo de la transferencia de información. Se trata de un bus paralelo bidireccional de 10 bits que opera en modo Half-Duplex. Su dirección está controlada por la lógica de la FPGA:

- **Modo Transmisión:** Cuando las señales de control ENTX y ENREAD están en nivel alto, el puerto actúa como entrada, recibiendo las muestras digitales desde la FPGA hacia el DAC interno del AFE.

Señales de Control de Modo: Permiten a la lógica de control gestionar el estado operativo del AFE en tiempo real para coordinar la conversión:

- **CLK:** Entrada de reloj maestro de 50 MHz. Todas las operaciones internas de conversión y lógica digital del AFE se sincronizan con este flanco.
- **ENTX (Transmit Enable):** Habilita la cadena de transmisión analógica.
- **ENREAD (Enable Read):** Controla los buffers tri-estado del bus de datos. Su correcta sincronización con ENTX es crítica para evitar conflictos en el bus.
- **SHRCV:** Permite apagar selectivamente la sección analógica del receptor para ahorrar energía y reducir el ruido de acoplamiento durante la transmisión.

Interfaz de Configuración (SPI): Conjunto de señales dedicadas a la programación de los registros internos descritos en la sección anterior. Incluye el reloj serie (SCLK), la línea de datos (SDIO) y la señal de habilitación de escritura (SWR), que actúa como un Latch Enable.

Control de Transceptor				
Señal	Pin MAX	Pin FMC	Pin FPGA	Función
ENTX	61	D9	N20	Habilitación TX
ENREAD	24	D8	N19	Dirección Bus
SHRCV	23	D19	J18	Apagado RX
FREEZE	51	D20	B19	Congelar AGC
RESET	63	D17	L17	Reset Global
STBY	64	D18	M17	Standby
Interfaz de Configuración (SPI)				
CS	25	D12	K18	Chip Select
SCLK	22	D24	D15	Reloj SPI
SDIO	21	D15	R21	Datos SPI
SWR	62	D14	R20	Escritura/Lectura
Reloj				
CLK (Ref)	31	D27	E18	Reloj 50 MHz
Bus de Datos (Bidireccional)				
DAD[0] (LSB)	48	C11	L22	Dato Bit 0
DAD[1]	46	C10	L21	Dato Bit 1
DAD[2]	45	C14	R19	Dato Bit 2
DAD[3]	43	C15	T19	Dato Bit 3
DAD[4]	42	C18	K19	Dato Bit 4
DAD[5]	39	C19	K20	Dato Bit 5
DAD[6]	38	C22	D20	Dato Bit 6
DAD[7]	36	C23	C20	Dato Bit 7
DAD[8]	35	C26	E21	Dato Bit 8
DAD[9] (MSB)	33	C27	D21	Dato Bit 9

Tabla 3: Mapeo de pines completo: MAX2981 ↔ Conector FMC ↔ FPGA [7].

11.3.4. Dominios de Reloj y Adaptación de Tasa

Corresponde a un desafío crítico de la implementación la sincronización entre el reloj del sistema digital y la tasa de muestreo del convertidor.

- **Dominio de Reloj del Sistema:** La lógica interna de la FPGA opera con un reloj maestro de 100 MHz derivado del oscilador de la ZedBoard.
- **Dominio de Conversión:** El DAC del AFE requiere una tasa de datos estricta de 50 MSps.

Mediante un bloque de diseño Clock Wizard, puede generarse un dominio de reloj de 50 MHz a partir del reloj interno de la Zedboard de 100 MHz.

11.3.5. Interfaz de Datos Paralela

Para establecer el enlace físico en modo de transmisión dedicado, el controlador implementado en la FPGA gestiona el estado de los pines de control del AFE MAX2981 de manera estática. Se optó por forzar una configuración de transmisión continua para validar la integridad de la cadena de salida sin la latencia de conmutación TX/RX.

Basado en las especificaciones funcionales del fabricante [5], se fijaron los siguientes niveles lógicos en la interfaz de control paralelo para habilitar el DAC y el amplificador de línea:

- **Habilitación de Transmisión (ENTX = '1')**: Esta señal activa los bloques internos de la ruta de transmisión. Al mantenerla en nivel alto, se asegura que el AFE procese continuamente las muestras presentes en el bus de entrada.
- **Dirección del Bus (ENREAD = '1')**: Configura el puerto paralelo bidireccional de 10 bits (DAD[9:0]) como entrada hacia el AFE. Esto permite que la FPGA tome el control del bus y escriba las muestras digitales generadas por el modulador OFDM.
- **Apagado del Receptor (SHRCV = '1')**: Para minimizar el consumo energético y evitar la realimentación de la señal transmitida hacia la propia cadena de recepción, se fuerza el apagado de los bloques analógicos de recepción.
- **Control de Ganancia (FREEZE = '1')**: Se deshabilita la adaptación del lazo de AGC, fijando sus parámetros para evitar oscilaciones espurias durante la transmisión.

Secuencia de Inicialización: Adicionalmente, se implementó en hardware un secuenciador de arranque (Power On Reset) que mantiene la línea RESET del AFE activa (nivel bajo) durante los primeros ciclos de reloj del sistema. Esta lógica garantiza que el dispositivo permanezca en estado de reinicio por un tiempo superior a 100 ns tras la energización, cumpliendo con el requisito temporal crítico especificado en la hoja de datos [5] para asegurar una carga correcta de los registros de configuración posteriores.

11.3.6. Interfaz de Configuración Serie (SPI)

Una vez establecidos los niveles de control estáticos, la arquitectura debe programar los registros internos del MAX2981 para optimizar su respuesta en frecuencia y rango dinámico. Dado que el dispositivo no retiene su configuración tras un ciclo de energía, se diseñó un controlador de interfaz serie dedicado, instanciado en el bloque `spi_config_afe_tx.vhd`

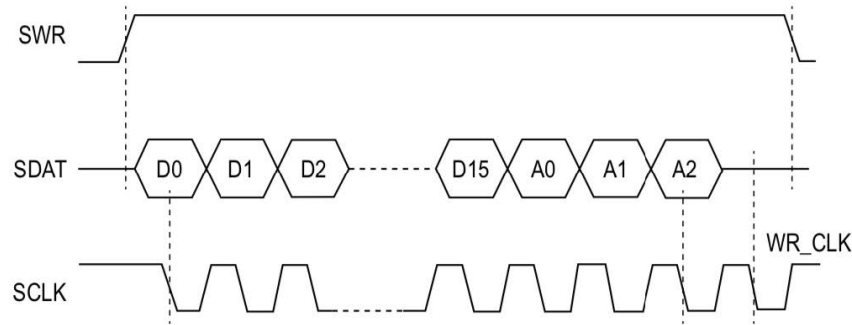


Figura 25: Método de escritura de los registros del AFE [5].

Registro	A2	A1	A0	
1	0	0	0	Configurable
2	0	0	1	Configurable
3	0	1	0	Configurable
4	0	1	1	No utilizado
5	1	0	0	Reservado
6	1	0	1	Configurable

Tabla 4: Mapa de direcciones de registros del MAX2981 [5].

La Figura 25 detalla la estructura de la trama de control requerida por el MAX2981. A diferencia de interfaces SPI convencionales, este dispositivo exige una transmisión con el bit menos significativo primero (LSB-First). La trama se compone de 16 bits de configuración (D_0 a D_{15}) seguidos por 3 bits de dirección (A_0 a A_2), totalizando 19 ciclos de reloj por registro. La señal **SWR** debe mantenerse en nivel alto durante toda la secuencia para habilitar el registro de desplazamiento interno del AFE, produciéndose la escritura efectiva en el flanco descendente de dicha señal.

La comunicación del transmisor es unidireccional (solo escritura) y sincrónica, esta operando con un reloj serial (**SCLK**) derivado de la división del reloj maestro, garantizando los tiempos de establecimiento (setup time) requeridos por el puerto de entrada del AFE.

Secuencia de Configuración: Tras la liberación del reset, el controlador transmite secuencialmente cuatro palabras de comando de 19 bits (3 bits de dirección + 16 bits de datos). Los valores programados, definidos como constantes en la Memoria de Solo Lectura (ROM) del controlador, fueron calculados para forzar al AFE a un modo de transmisión de banda ancha de alta linealidad:

- **Registro 1:** Este registro selecciona la frecuencia de corte del filtro LPF de reconstrucción, ajustándola para una frecuencia de muestreo de 50 MSps, lo que maximiza la planitud de la respuesta en la banda de paso de 2-25 MHz.
- **Registros 2 y 3:** Desactiva completamente el lazo AGC del receptor para evitar que el ruido de conmutación afecte al transmisor y fija la ganancia en 0 dB. Esta decisión es crítica para evitar la saturación del amplificador de salida, dado que la señal OFDM podría recortarse si se aplicara ganancia adicional.

- **Registro 6:** Ajusta la corriente de polarización del amplificador de salida. Se seleccionó el modo de alta Linealidad recomendado por el estándar IEEE 1901 [2] para minimizar la distorsión armónica y la radiación fuera de banda, a costa de un ligero incremento en el consumo de potencia.

La implementación de esta secuencia mediante una máquina de estados en hardware, en lugar de software, garantiza que el AFE esté correctamente configurado y estable en un tiempo determinista inferior a 10 μ s tras el encendido, eliminando la necesidad de intervención externa o de un procesador auxiliar.

Bit	Valor por defecto	Descripción
0	Nivel alto	A nivel alto, apaga el receptor cuando está en modo transmisor.
1	Nivel alto	A nivel alto, apaga el transmisor cuando está en modo receptor.
2	Nivel bajo	A nivel alto, apaga el DAC cuando está en modo receptor.
3	Nivel bajo	A nivel alto, apaga el dispositivo entero.
4–15	Nivel bajo	Reservado.

Tabla 5: Configuración del Registro 1 del AFE (Control de Energía) [5].

Bit	Valor por defecto	Descripción
0–2	Nivel bajo	Reservado.
3	Nivel alto	Reservado.
4–14	Nivel bajo	Reservado.
15	Nivel bajo	A nivel alto, puentea el filtro paso bajo del receptor.

Tabla 6: Configuración del Registro 2 del AFE [5].

Bit	Valor por defecto	Descripción
0–1	Nivel alto	Reservado.
2–4	Nivel bajo	Establece la ganancia del AGC del receptor. El rango binario [000, 111] corresponde a: 3dB, 2dB, 1dB, 0dB, -1dB, -2dB, -3dB, -6dB.
5–10	Nivel bajo	Reservado.
11	Nivel alto	A nivel alto, establece el proceso de ajuste de filtros en modo continuo. En caso contrario solo se activa durante el reset.
12	Nivel bajo	Reservado.
13–15	Nivel alto	Reservado.

Tabla 7: Configuración del Registro 3 del AFE (Ganancia y Ajuste) [5].

Bit	Valor por defecto	Descripción
0	Nivel bajo	Reservado.
1–2	Nivel bajo	Configuración de la corriente del Line Driver (LD).
3	Nivel bajo	Reservado.
4	Nivel bajo	A nivel alto, permite puentear el filtro paso bajo en transmisión.
5–10	Nivel bajo	Reservado.
11	Nivel alto	Reservado.
12–13	Nivel bajo	Reservado.
14	Nivel alto	Deshabilita el filtro HPF del receptor.
15	Nivel alto	Reservado.

Tabla 8: Configuración del Registro 6 del AFE (Control de Linealidad y Filtros) [5].

Registro	Trama de Configuración (19 bits)	Función Principal
Registro 1	1000000000000000000	Habilita TX, DAC y Filtro LPF
Registro 2	0001000000000000100	Ganancia 0 dB, Deshabilita AGC
Registro 3	0000000000010111010	Ajuste continuo de filtros
Registro 6	0000000000010011101	Modo de Alta Linealidad

Tabla 9: Configuración binaria de los registros del MAX2981 (Modo Transmisión) [5].

11.3.7. Validación Funcional del Controlador (Simulación)

Antes de la síntesis final e implementación en la FPGA, se verificó el comportamiento temporal de la lógica de control, específicamente FSM del SPI, mediante una simulación conductual, o behavioral simulation, en Vivado.

El objetivo principal de esta etapa fue validar que la secuencia de inicialización cumple estrictamente con los tiempos de setup y hold exigidos por la interfaz serie del MAX2981, así como la correcta serialización de los datos Bit Menos Significativo (LSB).

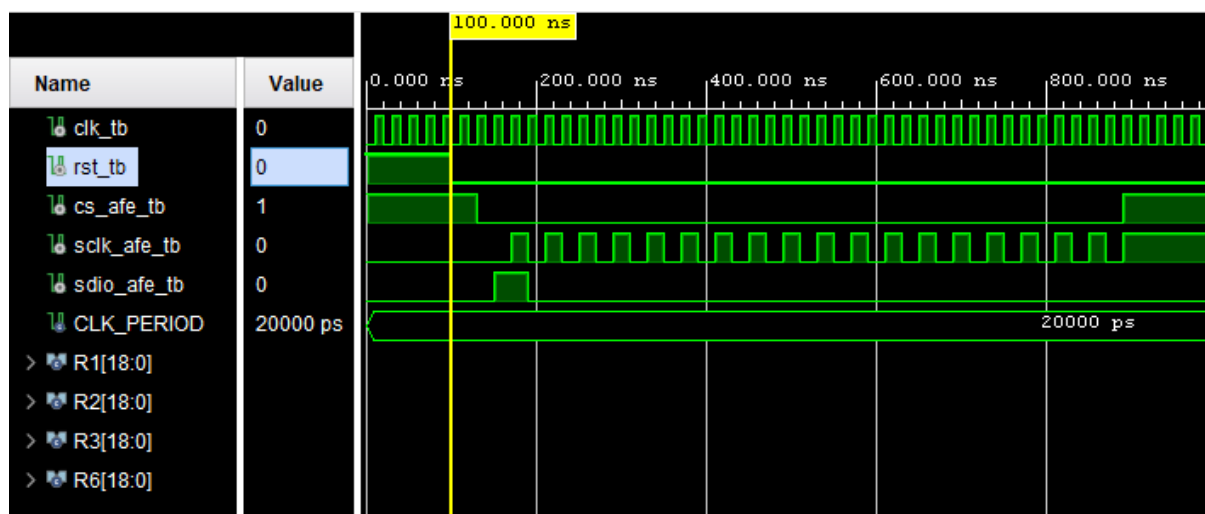


Figura 26: Simulación de la escritura del AFE en configuración transmisora.

La Figura 26 presenta la vista temporal completa del proceso de configuración tras el arranque del sistema. Tal como se especifica en la arquitectura del controlador, la secuencia se inicia inmediatamente después de la transición de la señal de reset (`rst_tb`) a nivel bajo.

Se pueden identificar cuatro ventanas de actividad en el bus SPI, señaladas por los periodos en los que la línea de selección de chip (`cs_afe`) se mantiene en nivel bajo lógico. Estas cuatro transacciones corresponden a la carga secuencial de los registros R1, R2, R3 y R6. Es relevante destacar que, entre cada escritura, la máquina de estados fuerza un tiempo de espera donde (`cs_afe`) retorna a nivel alto, garantizando que el AFE disponga de tiempo suficiente para procesar el comando anterior antes de recibir el siguiente, cumpliendo con los tiempos de ciclo mínimos especificados por el fabricante.

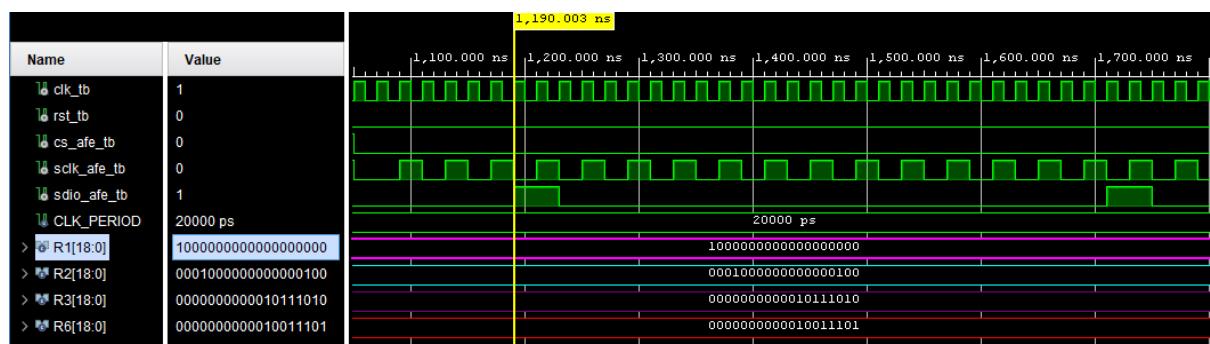


Figura 27: Simulación de la escritura del registro 1 del AFE en configuración transmisora.

Para verificar la integridad de los datos a nivel de bit, se analiza el detalle de la primera transacción en la Figura 27.

El cronograma muestra el instante en que la FSM transita al estado de carga, y el bus interno (`shift_reg`) toma el valor constante 10000000000000000000. Al analizar la línea de datos serie (`sdio_afe`) en coordinación con el reloj (`sclk_afe`), se confirma que el bit más significativo transmitido es un '1' lógico (correspondiente al bit de habilitación de transmisión en el Registro 1), mientras que los bits de dirección finales (A_2, A_1, A_0) son ceros. Esto valida que el controlador realiza el envío correctamente del comando de encendido del transmisor y apagado del receptor.

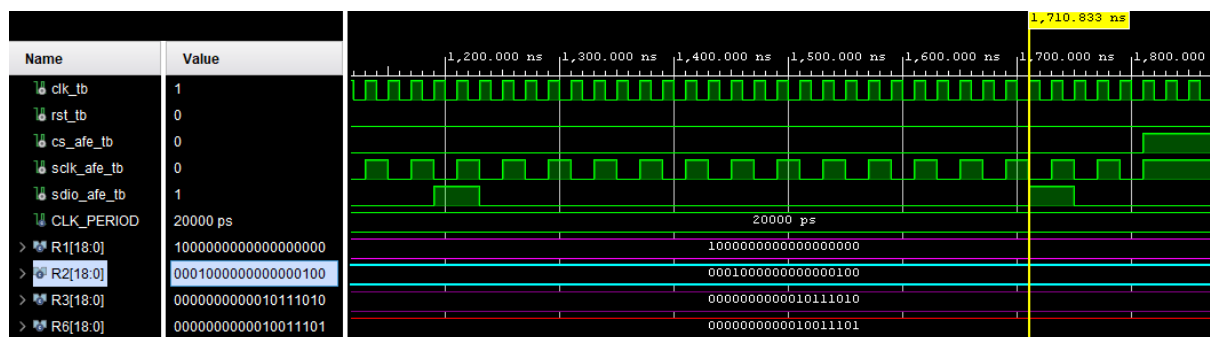


Figura 28: Simulación de la escritura del registro 2 del AFE en configuración transmisora.

La validación prosigue en la Figura 28 con la escritura del Registro 2. Al transitar nuevamente al estado LOAD, el bus (`shift_reg`) se actualiza con el valor 000100000000000000100.

El análisis de la trama serie revela dos detalles técnicos importantes que confirman la robustez del diseño:

1. Bits Reservados: Se verifica la transmisión de un "1" lógico en la posición del cuarto bit (D_3), cumpliendo con la exigencia del fabricante de mantener este bit reservado en alto.
2. Direccionamiento: Los últimos tres ciclos de reloj transmiten la secuencia 1-0-0 (LSB-first), que corresponde a la dirección binaria 001_2 (Registro 2), asegurando que los datos de configuración de filtrado se escriban en el banco de memoria correcto del AFE.

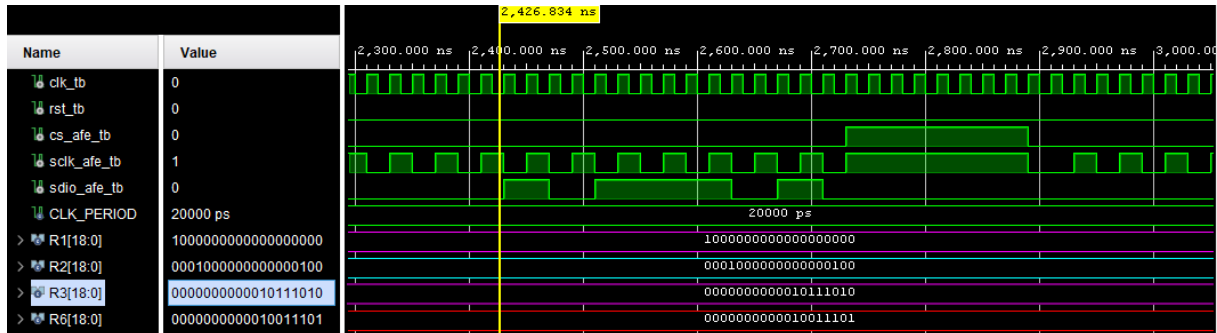


Figura 29: Simulación de la escritura del registro 3 del AFE en configuración transmisora.

Posteriormente, se verifica la configuración del Registro 3 en la Figura 29, crítico para la estabilidad térmica del sistema. La simulación muestra la serialización de la constante 00000000000010111010. El bit D_{11} se establece en nivel alto, habilitando al AFE para que ajuste dinámicamente la frecuencia de corte de los filtros paso-bajo durante la operación, compensando las variaciones de temperatura y proceso del silicio sin detener la transmisión de datos.

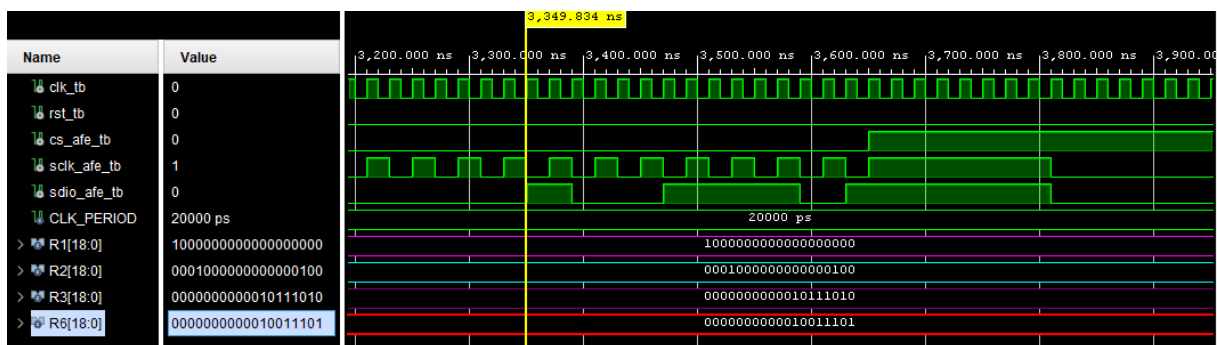


Figura 30: Simulación de la escritura del registro 6 del AFE en configuración transmisora.

Finalmente, la Figura 30 ilustra la escritura del Registro 6, encargado de la linealidad del amplificador. Se observa en el registro de desplazamiento el patrón binario "...0011101". El cronograma verifica que los datos cambian sincrónicamente con el flanco de bajada del reloj generado ($sclk_afe$) y permanecen estables durante el flanco de subida, cumpliendo con los requisitos de setup y hold del dispositivo. La finalización de esta trama marca el fin de la secuencia de configuración, dejando al AFE en estado operativo para la transmisión de señales OFDM.

11.3.8. Implementación Física del AFE

Este diseño, cuyo esquema eléctrico se detalla en la Figura 32 y su diseño final en la Figura 33, sigue estrictamente las recomendaciones de la arquitectura de referencia, incluyendo el rutado crítico de pistas, la adaptación de impedancias y el diseño de la etapa de acoplamiento seguro con la red de baja tensión [6].

El diseño físico del AFE integra los siguientes subsistemas críticos:

Interfaz FMC-LPC: La conexión con la placa de desarrollo ZedBoard se realiza a través del estándar FMC - LPC (Figura 31). Este conector de alta densidad garantiza la integridad de la señal para el reloj de 50 MHz y el bus de datos de 10 bits. Se suministran 3.3V requeridos por las secciones analógicas y digitales del AFE.

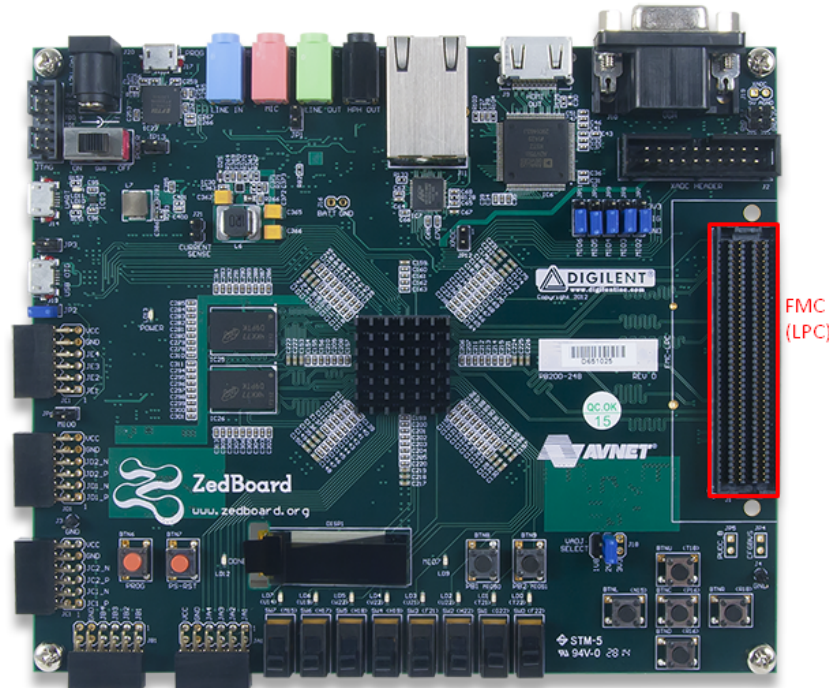


Figura 31: Zedboard pines FMC (LPC) [7].

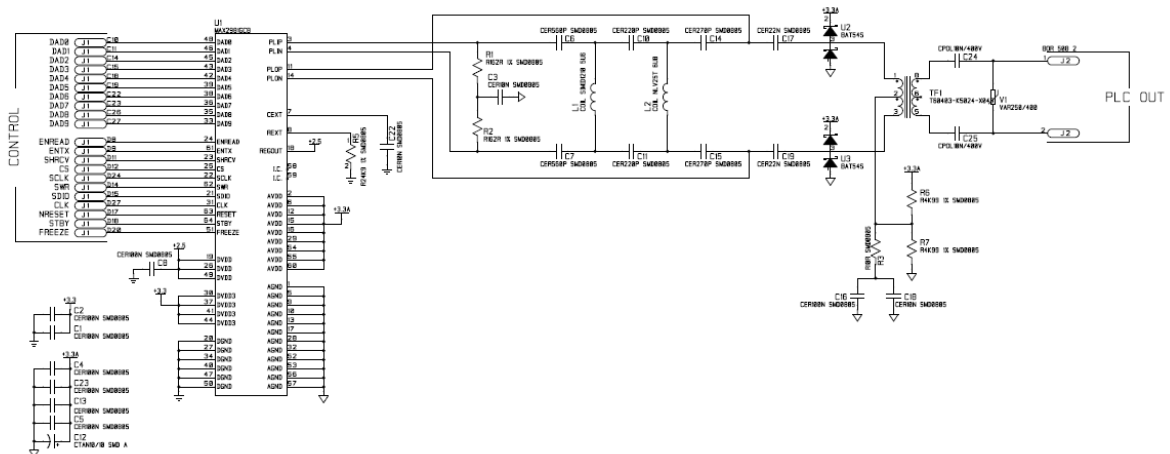


Figura 32: Esquema eléctrico del módulo AFE [6].



Figura 33: Aspecto visual del módulo AFE.

Gestión Térmica: Debido a que el MAX2981 integra un Line Driver de alta potencia capaz de inyectar corrientes significativas en la red de baja impedancia, el dispositivo disipa una cantidad considerable de calor. Para garantizar la estabilidad térmica y evitar la activación de las protecciones internas, este implementa una solución de disipación pasiva mediante un disipador adherido directamente al encapsulado. Esto asegura que la temperatura de unión se mantenga dentro del rango operativo seguro ($< 85^{\circ}\text{C}$) durante transmisiones continuas.

Acoplamiento y Seguridad: La interfaz con la red eléctrica se realiza mediante un circuito de acoplamiento capacitivo-inductivo. El componente central es un transformador de pulso de banda ancha (visible junto al conector de salida) que provee aislamiento galvánico entre el circuito de baja tensión (FPGA/AFE) y la red de potencia (220V AC). Este transformador también actúa como un filtro paso banda pasivo de primer orden, ayudando a rechazar la componente de 50 Hz de la red eléctrica antes de que llegue a la etapa de recepción del AFE.

11.4. Descripción del Canal Físico

El Canal Físico es la sala de Laboratorio del Departamento de Electrónica de Universidad Nacional de la Patagonia San Juan Bosco (UNPSJB). En concordancia con lo abordado en el Capítulo 10, se toma en cuenta dos situaciones de medición de canal, las cuales son descritas a continuación

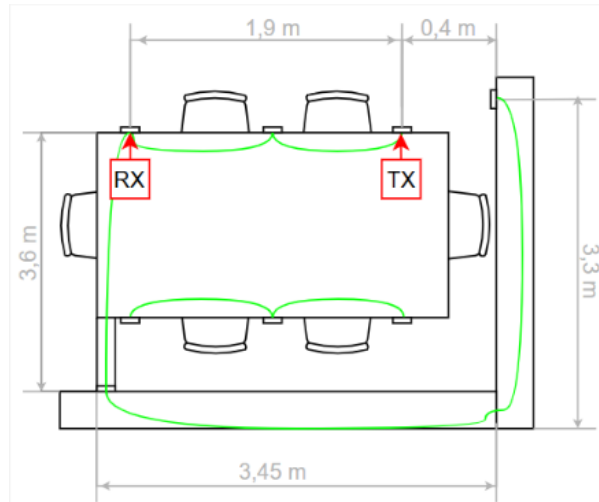


Figura 34: Canal Medición Corta: Implementación.

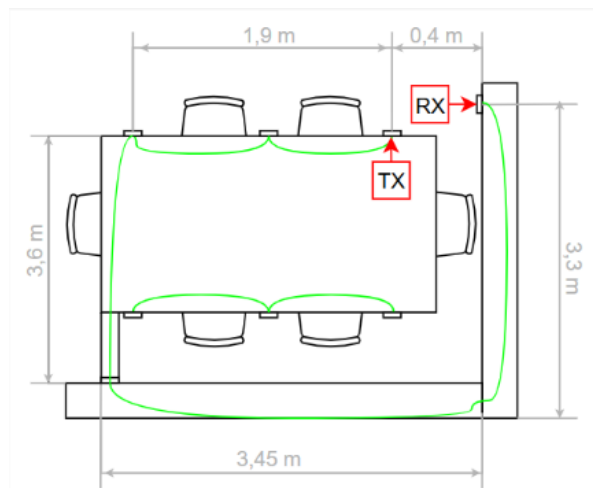


Figura 35: Canal Medición Larga: Implementación.

Las Figuras 34 y 35 muestran la mesa de trabajo del laboratorio y las paredes de la habitación, por las cuales se desarrolla su instalación eléctrica (color verde). La figura presenta a la instalación dentro del dominio de trabajo, es de recalcar, que la misma instalación presenta continuaciones en ramales que se extienden más allá de las paredes presentadas en la figura, abasteciendo a todo el Departamento de Electrónica en su conjunto.

La prueba de "Canal Limpio" a nivel laboratorio consiste en enviar una trama y recibir según lo descrito en las figuras, sin la inyección intencionada ruido impulsivo, lo cual representa la situación modelada mediante únicamente la respuesta $H(f)$ en simulación.

En contraparte, para emular un escenario de "Canal Hostil" controlado, se introdujo en la red eléctrica una fuente de perturbación electromagnética de alta potencia, siendo esta una máquina fresadora/taladradora de banco, modelo Lázaro Wasser HE-806 (Figura 36).



Figura 36: Máquina Fresadora Modelo Lázaros Wasser - HE-806.

Dicha máquina opera mediante un motor eléctrico que utiliza escobillas de carbón y un colector. La conmutación mecánica rápida entre las delgas del colector genera arcos eléctricos constantes. Estos arcos actúan como generadores de transitorios rápidos de voltaje que se inyectan directamente en la red eléctrica.

En los planos de las Figuras 34 y 35. La fresadora se conectó a la red eléctrica, en el mismo circuito derivado que el transceptor, a una distancia física de 0.8 metros del transmisor. Esta proximidad garantiza que la energía del ruido impulsivo llegue al receptor con una atenuación mínima, simulando el caso más desfavorable de interferencia doméstica.

11.5. Metodología de Medición y Captura

La estrategia de captura de resultados se basa en que la lógica de demodulación ya es implementada en MATLAB por el script de simulación, capturando los datos de la línea eléctrica y reejecutando el script original, cargando las muestras obtenidas y redefiniendo la señal $y(t)$.

Para ello, se hace uso de un osciloscopio digital, de alta tasa de muestreo. Al conectar el segundo AFE (receptor) a la línea eléctrica, se utilizan las sondas de medida, preparadas para alta frecuencia (hasta 60 MHz), para medir sobre los terminales de baja potencia del transformador de acoplamiento del AFE. Una vez la señal se encuentra estable en la pantalla, se realiza su captura de datos mediante una unidad USB en formato Valores Separados por Comas (CSV), archivo que luego es exportado hacia MATLAB para el procesamiento.

11.5.1. Metodología de Captura

El proceso de adquisición se realiza mediante disparos de memoria utilizando un osciloscopio digital Sigilent SDS1152CM (Figura 37), conectado directamente al secundario del transformador de acoplamiento del AFE (baja potencia).



Figura 37: Osciloscopio Sigilent SDS1152CM

Para garantizar la captura íntegra de un único símbolo OFDM, cuya duración teórica es $T_{sym} = 93,04\mu s$, se estableció la base de tiempo del osciloscopio en $10\mu s/div$, resultando en una ventana de observación total de $100\mu s$. El excedente temporal de $6,96\mu s$ contiene información del símbolo siguiente y es descartado posteriormente en la etapa de post-procesamiento digital.

Maximización de la Tasa de Muestreo: Aunque el osciloscopio especifica una tasa máxima de 1 GSps, el equipo gestiona este recurso dinámicamente en función de la memoria disponible y la configuración activa. Dado que el sistema opera a 50 MSps, es crítico mantener una alta tasa de muestro para evitar *Aliasing* y la pérdida de fidelidad espectral. Para ello, se implementaron las siguientes configuraciones de optimización:

1. **Gestión de Canales:** Se deshabilitaron los canales de medida auxiliares no utilizados, concentrando los recursos del ADC en el canal de interés.
2. **Ancho de Banda:** Se desactivaron los filtros de limitación de ancho de banda para evitar la atenuación de las componentes de alta frecuencia de la señal y reducir el ruido de procesado interno.
3. **Memoria Profunda:** Se habilitó la configuración de memoria profunda. Esta función es fundamental para permitir que el osciloscopio almacene la gran cantidad de puntos de datos generados en una ventana de $100\mu s$ sin reducir automáticamente la tasa de muestreo.

Con estas configuraciones, se logra una tasa efectiva de 100 MSps. Finalmente, las muestras capturadas se exportan a una unidad de almacenamiento USB en formato CSV. Como paso de validación final, se realiza una verificación manual del archivo generado, calculando la frecuencia de muestreo efectiva en función de la cantidad de muestras obtenidas y el tiempo total transcurrido, asegurando así la coherencia de los datos antes de su ingreso al software de demodulación.

11.5.2. Carga y Acondicionamiento de la Señal de Recepción

Una vez digitalizada la señal analógica por el osciloscopio y exportada a formato CSV, los datos son ingeridos por el entorno MATLAB mediante el script de procesamiento `capturador_datos.m`.

Antes de proceder a los algoritmos de sincronización y demodulación, este script ejecuta

una etapa crítica de acondicionamiento de señal para adaptar los parámetros de captura a las especificaciones del sistema OFDM.

Este acondicionamiento aborda dos discrepancias fundamentales entre la instrumentación y el diseño del sistema:

1. **Adaptación de Tasa de Muestreo:** Para corregir el desajuste en la tasa de muestreo (de 100 a 50 MSps), el script implementa un diezmado directo. Dado que la relación de frecuencias es entera (2:1), el algoritmo retiene una de cada dos muestras del vector importado ($y_{50M}[n] = y_{100M}[2n]$).
2. **Ventaneo Temporal y Recorte de Trama:** La configuración de captura del osciloscopio establece una ventana de observación de $100 \mu s$ para asegurar la adquisición completa del evento. No obstante, la duración exacta del símbolo OFDM a 50 MSps es de $T_{sym} = 93,04 \mu s$, lo que corresponde a un vector de 4652 muestras. El script realiza un recorte del vector diezmado, descartando el exceso de muestras finales que corresponden a los $6,96 \mu s$ del símbolo siguiente. De esta forma, se aísla el vector de recepción útil $y(t)$ con la longitud exacta requerida para el procesamiento FFT subsiguiente.

11.6. Sincronización y Caracterización de Latencia

Aún habiendo descartado las muestras excedentes de $6,96 \mu s$, la señal recibida $y[n]$ presenta un desplazamiento temporal desconocido respecto a la referencia transmitida $x[n]$. Este fenómeno no se debe al tiempo de propagación en el medio (que es despreciable para la longitud del cableado), sino a la latencia determinista acumulada en la cadena de procesamiento, pipelines de la FPGA, retardo de grupo de los filtros analógicos y latencia de conversión.

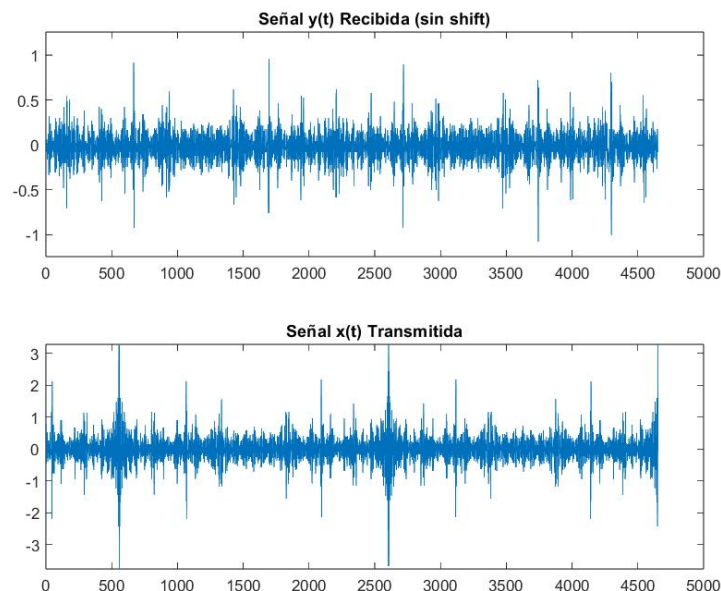


Figura 38: Señal Recibida $y[t]$ y Señal Transmitida $x[t]$.

Por consiguiente, en la Figura 38 el valor $N_{\text{corrimiento}}$ obtenido no constituye un error de

sincronización estocástico, sino una medición precisa de la latencia sistémica total del enlace físico. Una vez aplicado este desplazamiento correctivo, la señal queda perfectamente alineada para la extracción de la carga útil y la evaluación final del rendimiento (BER).

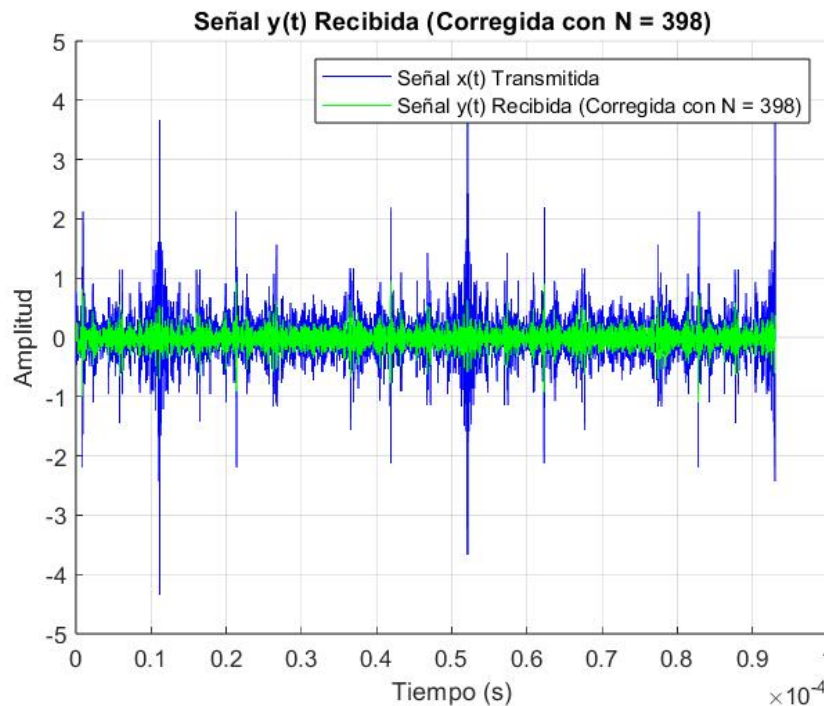


Figura 39: Señal Recibida $y[t]$ corregida.

Dada la latencia indeterminada entre el dominio digital y la red analógica, en la figura 39 se implementó un algoritmo de Sincronización por Correlación de Trama Deslizante. Este método evalúa iterativamente el desplazamiento circular (Δn) del vector recibido que minimiza la BER, compensando eficazmente el retardo de grupo y de propagación sin requerir preámbulos de sincronización en tiempo real.

El valor de $N_{\text{corrimiento}}$ obtenido mediante el algoritmo de minimización de BER constituye una medida directa de la latencia sistémica total del enlace físico. Esta estrategia de sincronización por post-procesamiento valida la integridad de los datos recibidos, demostrando que la información se preserva a pesar de los retardos, haciendo innecesaria la implementación de preámbulos de sincronización complejos (como Schmidl and Cox) para esta prueba de concepto.

11.6.1. Algoritmo de Sincronización Experimental y Validación

Para procesar las señales capturadas del canal físico real, donde el inicio exacto de la trama OFDM es desconocido debido a la latencia del hardware y el trigger asincrónico del osciloscopio, se implementó un algoritmo de sincronización por búsqueda en el receptor MATLAB. Este método busca el punto de inicio óptimo que minimiza la tasa de error.

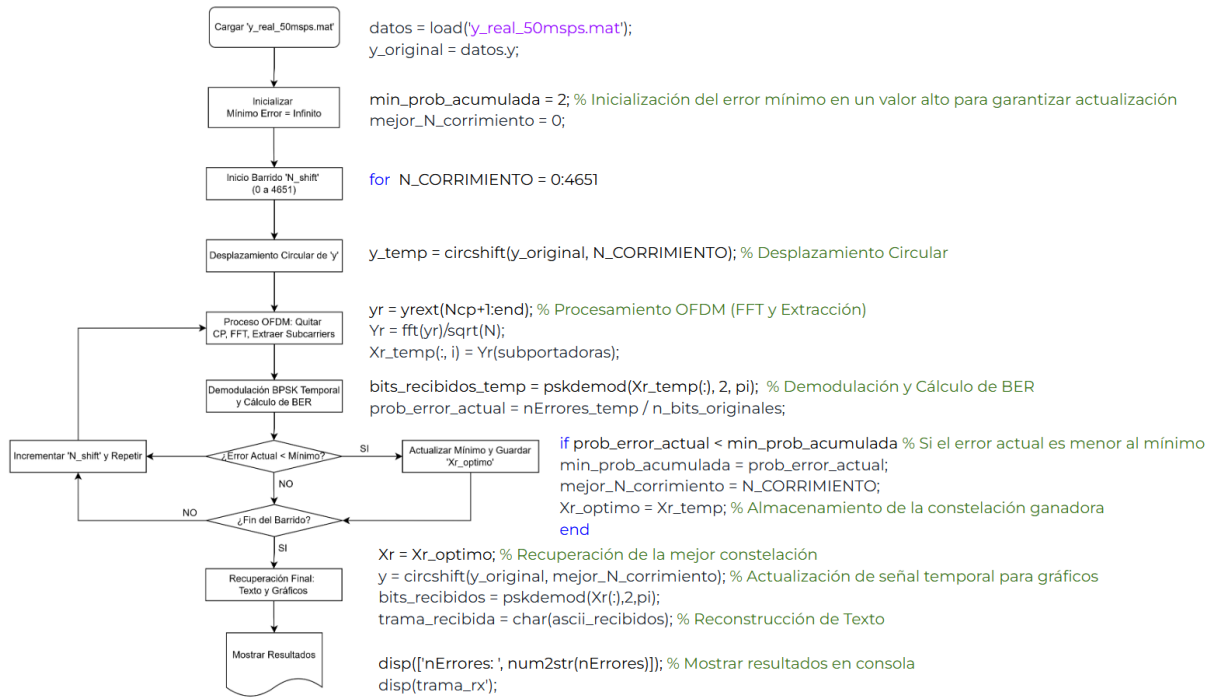


Figura 40: Diagrama de flujo del algoritmo de sincronización experimental por búsqueda del mínimo BER.

La Figura 40 ilustra el flujo de este algoritmo. El proceso comienza con la carga de la señal capturada $y(t)$ y la inicialización de la métrica de error mínimo en un valor inalcanzable. El núcleo del algoritmo es un bucle que barre todas las posibles posiciones de inicio de símbolo (N_{shift}) dentro de la ventana de captura.

En cada iteración, se realiza un desplazamiento circular de la señal recibida para alinearla temporalmente según el candidato N_{shift} actual. Sobre esta señal alineada se ejecuta la cadena completa de demodulación OFDM (eliminación de CP, FFT, extracción de subportadoras) y una decisión dura BPSK para calcular una Tasa de Error de Bit (BER) provisional.

Este BER provisional se compara con el mínimo registrado hasta el momento. Si el nuevo error es menor, se actualiza el mínimo global y se almacena la constelación resultante y el índice de desplazamiento como los nuevos óptimos. Al finalizar el barrido, el algoritmo selecciona la mejor constelación encontrada para realizar la reconstrucción final del mensaje de texto y presentar las métricas de rendimiento definitivas del enlace físico.

12. RESULTADOS Y DISCUSIÓN

El presente capítulo expone y analiza los datos obtenidos a partir de la metodología de diseño e implementación descrita en los capítulos precedentes. El objetivo central es validar el desempeño del enlace físico y cuantificar la robustez de la tecnología seleccionada frente a las condiciones reales de la red eléctrica.

La exposición se organiza siguiendo la metodología incremental definida:

En la Sección 12.1, se detallan las pruebas de Validación en Canal Limpio, estableciendo una línea base de rendimiento en ausencia de ruido impulsivo externo, tanto para enlaces de corta como de larga distancia.

A continuación, la Sección 12.2 aborda la Validación en Canal Hostil Real, sometiendo al sistema a condiciones de interferencia severa generada por maquinaria industrial, para evaluar la resiliencia de la modulación y la sincronización en el "peor caso".

Finalmente, en la Sección 12.3 se realiza el Análisis de Prestaciones y Discrepancias, se discute el impacto de factores determinantes como la técnica de modulación seleccionada, las limitaciones del hardware analógico, el efecto del CP y la relación PAPR sobre la integridad de la comunicación.

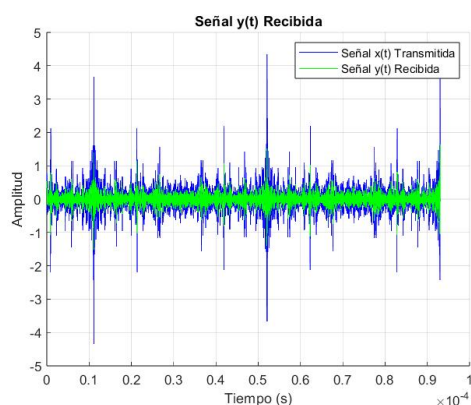
Nota Sobre la Representación Espectral: Es de importancia señalar que las gráficas espectrales presentadas en este capítulo corresponden al análisis de la señal transmitida completa $x_{ext}[n]$ en el dominio físico, incluyendo la extensión temporal del CP. Esta representación fue seleccionada deliberadamente para ilustrar la PSD real que es inyectada al canal físico, evidenciando el impacto espectral de la estructura temporal completa de la trama OFDM.

Nota Sobre la Rotación de Fase (180°): Al contrastar las constelaciones simuladas con los datos experimentales, se observa una rotación constante de fase de 180° . Esta discrepancia no constituye un error de sincronización, sino una consecuencia intrínseca de la cadena de acondicionamiento analógico, donde la polaridad absoluta depende de la topología diferencial del enlace. Factores físicos como la orientación de los devanados en los transformadores de aislamiento, la configuración inversora de los amplificadores del AFE o la referencia de tierra elegida arbitrariamente al conectar la sonda del osciloscopio introducen una inversión de signo determinista. Dado que este fenómeno es constante para todos los símbolos, no afecta la ortogonalidad ni la calidad de la señal, siendo compensado de manera transparente en la etapa de pre-procesamiento digital del receptor.

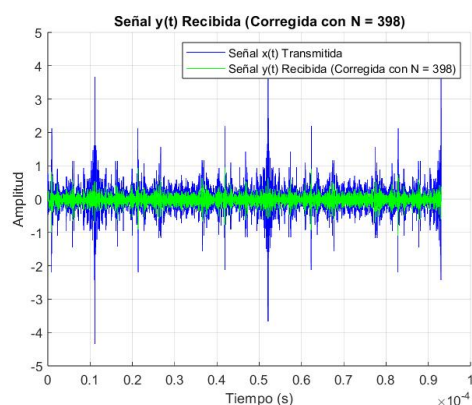
12.1. Prueba A: Validación en Canal Limpio

La Prueba A consta de lo referido al Canal Limpio, el cual incluye desde la simulación la respuesta $H(f)$ del canal, sin incluir muestras de ruido impulsivo, y la medición de laboratorio sin incluir la acción de la máquina fresadora. Esta Prueba es sometida a dos distancias de implementación, siendo la Sección 12.1.1 la prueba de Corta Distancia (1.9m) y la 12.1.2 la prueba de Larga Distancia (12.25m).

12.1.1. Canal Limpio a Corta Distancia



(a) Simulación

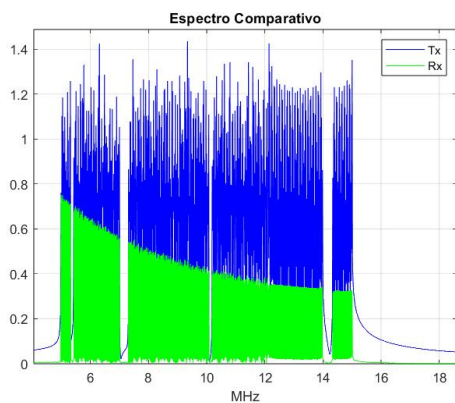


(b) Implementación

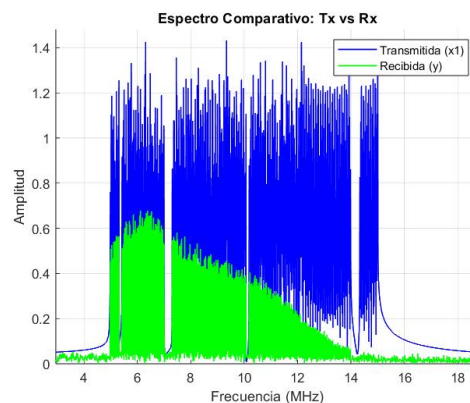
Figura 41: Canal Limpio a Corta Distancia. Representación Temporal: Tx (Azul) vs Rx (Verde)

En la Figura 41, se comparan las señales en el dominio del tiempo. La simulación (a) presenta una envolvente ideal, mientras que la implementación (b) exhibe una fidelidad morfológica notable, aunque con diferencias atribuibles a las limitaciones físicas del hardware.

Al observar los picos de máxima energía, se detecta una leve compresión o recorte respecto a la simulación. Esto es consecuencia directa del alto PAPR de la señal OFDM excediendo el rango dinámico lineal del DAC y/o del amplificador de línea.



(a) Simulación



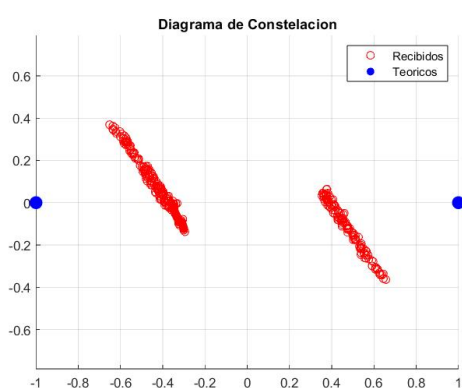
(b) Implementación

Figura 42: Canal Limpio a Corta Distancia. Representación Espectral: Tx (Azul) vs Rx (Verde)

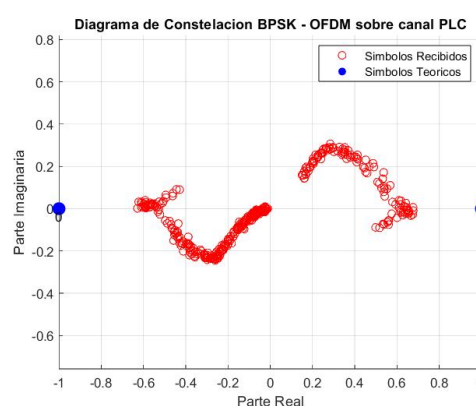
El análisis en el dominio de la frecuencia (Figura 42) revela discrepancias significativas respecto a la respuesta plana ideal de la simulación, exhibiendo la señal real (b) una atenuación marcada que se acentúa severamente a partir de los 10 MHz. Si bien parte de esta pendiente negativa es atribuible a las pérdidas óhmicas por el Efecto Piel y a las pérdidas dieléctricas inherentes al cableado, la magnitud abrupta de la caída en alta

frecuencia sugiere la superposición de limitaciones adicionales en la cadena de hardware que actúan conjuntamente como un filtro paso bajo distribuido.

Entre los factores contribuyentes, destaca el diseño interno del AFE MAX2981, el cual, aunque operativo hasta 25 MHz, está optimizado para el estándar HomePlug 1.0 (4.5 - 21 MHz), pudiendo presentar una respuesta no plana en los bordes de banda agravada por la función de transferencia de los transformadores de acoplamiento. Asimismo, la captura se ve condicionada por las limitaciones del instrumental, donde la capacidad parásita de las sondas de osciloscopio y el ancho de banda efectivo del lazo de tierra pudiese introducir una atenuación parásita adicional. Finalmente, la respuesta global es consistente con la selectividad de una red eléctrica real con múltiples derivaciones no terminadas, las cuales introducen ceros de transmisión y pérdidas por inserción que deforman el perfil espectral teórico.



(a) Simulación



(b) Implementación

Figura 43: Diagrama de Constelaciones: Puntos Teóricos (Azul) vs Señal Recibida (Rojo)

Mientras que la simulación (a) muestra una dispersión uniforme con un patrón de "barras diagonales" debido al retardo de grupo lineal, la constelación implementada (b) exhibe una distorsión morfológica compleja que correlaciona directamente con la respuesta en frecuencia del canal.

Se observa una marcada contracción de símbolos hacia el origen del plano complejo, formando una espiral hacia el centro, estos puntos de baja amplitud corresponden a las subportadoras de alta frecuencia (superiores a 12 MHz) que sufren la atenuación severa identificada en el análisis espectral. Simultáneamente, los extremos interiores de las nubes denotan una atenuación moderada atribuible a las componentes de baja frecuencia.

```
Command Window

nErrores =

    0

Probabilidad_error_bit_experimental =

    0

Texto a transmitir:
ella durmio, al calor de las masas
Trama de texto recibida (con el mejor N):
ella durmio, al calor de las masas
fx >>
```

(a) Simulación.

```
Command Window

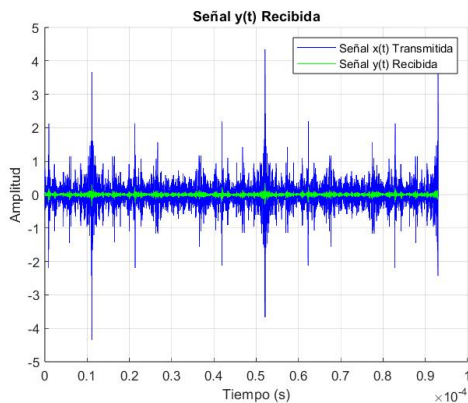
nErrores: 0
Probabilidad_error_bit_experimental: 0
Texto a transmitir:
ella durmio, al calor de las masas
Trama de texto recibida (con el mejor N):
ella durmio, al calor de las masas
fx >>
```

(b) Implementación.

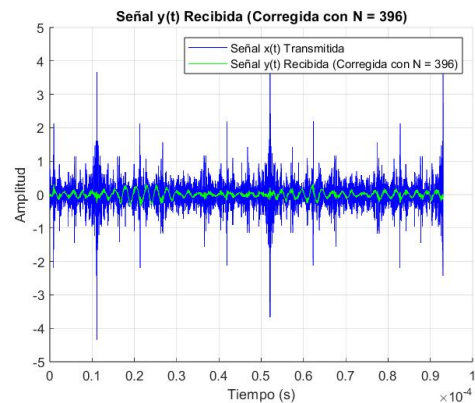
Figura 44: Resultados en Consola: Probabilidad de error en bit experimental.

Esto se confirma cuantitativamente en la Figura 44, donde a pesar del recorte no lineal producto del PAPR y de la atenuación presente, la robustez de la modulación BPSK es determinante, manteniendo la separación de fase suficiente respecto al eje de decisión para garantizar una detección libre de ambigüedades. La estructura de la señal se conserva lo suficiente para permitir la recuperación de la información, validando la robustez del esquema elegido.

12.1.2. Canal Limpio a Larga Distancia



(a) Simulación.

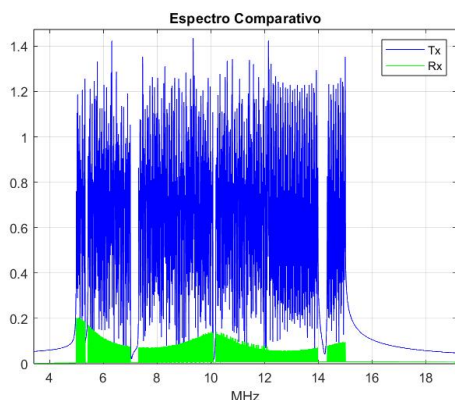


(b) Implementación.

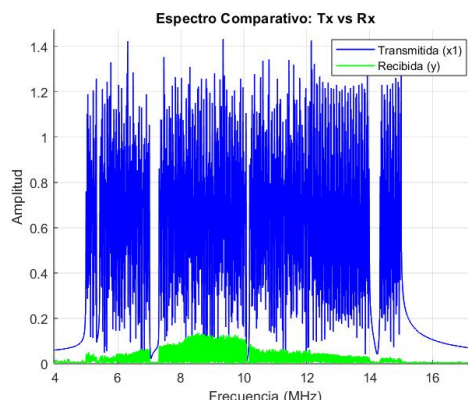
Figura 45: Canal Limpio a Corta Distancia. Representación Temporal: Tx (Azul) vs Rx (Verde).

Al extender el enlace a 12.25 metros, la respuesta del es dominada por la física de la línea de transmisión. La Figura 45 revela una degradación compuesta por dos fenómenos concurrentes. En primer lugar, se evidencia una atenuación severa en la amplitud global, consecuencia directa de las pérdidas óhmicas acumuladas y la disipación dieléctrica del conductor. En segundo lugar, y de manera crítica, se observa una dispersión temporal significativa, la energía del pulso original se "estira" en el tiempo, suavizando los flancos y ensanchando la envolvente. Este efecto es la manifestación macroscópica del retardo de

grupo no constante y de la superposición constructiva y destructiva de múltiples ecos, generados por las reflexiones sucesivas ante la desadaptación de impedancias en los extremos de la línea.



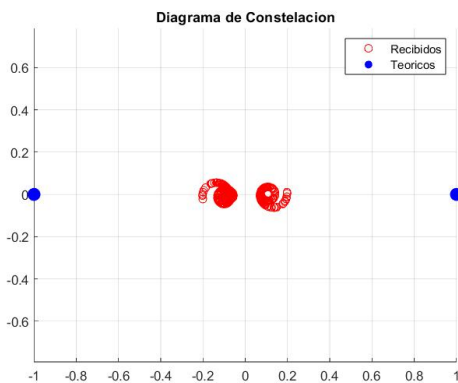
(a) Simulación.



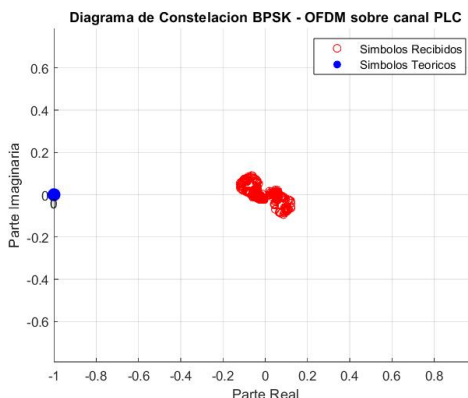
(b) Implementación.

Figura 46: Canal Limpio a Corta Distancia. Representación Espectral: Tx (Azul) vs Rx (Verde).

La Figura 46 confirma la presencia de ondas estacionarias. El espectro real (b) deja de ser monótono y presenta rizado, con valles y crestas pronunciados. Estos notches son característicos del desvanecimiento selectivo en frecuencia, producidos por la interferencia destructiva de las reflexiones en los extremos del cableado.



(a) Simulación.



(b) Implementación.

Figura 47: Diagrama de Constelaciones: Puntos Teóricos (Azul) vs Señal Recibida (Rojo).

La Figura 47b ilustra la capacidad del sistema para operar en condiciones adversas. A pesar de la fuerte atenuación y la distorsión de fase introducida por el canal, la constelación recibida mantiene su estructura binaria tras la corrección de fase del algoritmo de sincronización.

```

Command Window

nErrores =

    0

Probabilidad_error_bit_experimental =

    0

Texto a transmitir:
ella durmio, al calor de las masas
Trama de texto recibida (con el mejor N):
ella durmio, al calor de las masas
fx >>
  
```

(a) Simulación.

```

Command Window

nErrores: 0
Probabilidad_error_bit_experimental: 0
Texto a transmitir:
ella durmio, al calor de las masas
Trama de texto recibida (con el mejor N):
ella durmio, al calor de las masas
fx >>
  
```

(b) Implementación.

Figura 48: Resultados en Consola: Probabilidad de error en bit experimental.

El resultado final de la Prueba en la Figura 48 genera nuevamente una BER nula. Esto demuestra que el CP de 556 muestras ($11,12\mu s$) fue dimensionado correctamente para absorber la dispersión temporal de este enlace, preservando la ortogonalidad incluso con ecos fuertes.

12.2. Prueba B: Validación en Canal Hostil

La Prueba B consta de lo referido al Canal Hostil, el cual incorpora desde la simulación la superposición de muestras de ruido impulsivo a la respuesta $H(f)$ del canal, y comprende la medición de laboratorio bajo la acción perturbadora de la máquina fresadora. Esta Prueba es sometida a las mismas dos distancias de implementación, siendo la Sección 12.2.1 la prueba de Corta Distancia (1.9m) y la 12.2.2 la prueba de Larga Distancia (12.25m).

12.2.1. Canal Hostil a Corta Distancia

La Figura 49 introduce el análisis del escenario de Canal Hostil exhibiendo la señal adquirida directamente del medio físico, donde se hace evidente la severidad de las perturbaciones electromagnéticas presentes. El perfil de la señal se encuentra dominado por un ruido impulsivo asincrónico de gran magnitud, cuyo mecanismo de generación reside en la conmutación mecánica del motor universal de la fresadora. El deslizamiento de las escobillas de carbón sobre las delgas del colector produce una sucesión continua de arcos eléctricos durante la rotación del inducido. Estas descargas disruptivas actúan como fuentes de transitorios rápidos de voltaje que se acoplan a la red eléctrica, manifestándose como pulsos de alta energía que superan la amplitud de la trama OFDM y comprometen el margen de decisión del sistema.

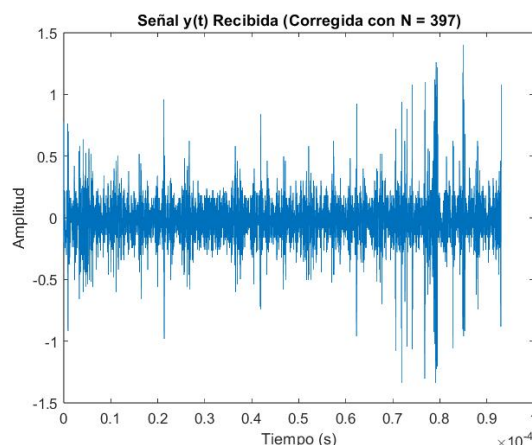
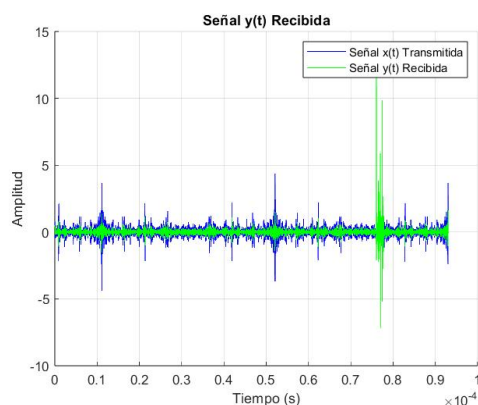
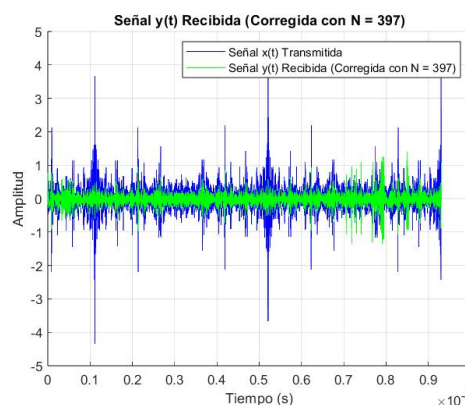


Figura 49: Señal Recibida de la Implementación en el Dominio del Tiempo.



(a) Simulación.

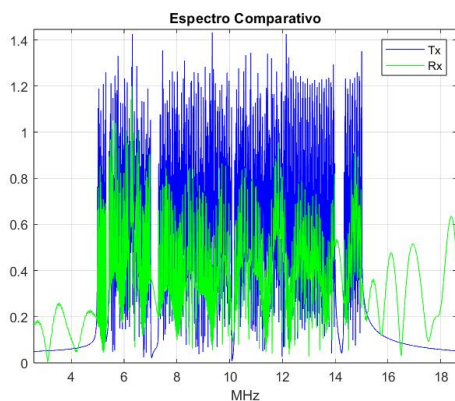


(b) Implementación.

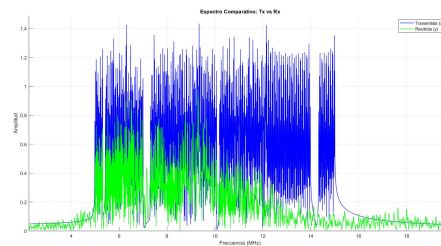
Figura 50: Canal Hostil a Corta Distancia. Representación Temporal: Tx (Azul) vs Rx (Verde).

La Figura 50 expone el impacto del ruido impulsivo en el dominio del tiempo. En la simulación (a), para evidenciar un resultados comparables al observado en la práctica y generar errores, fue necesario inyectar un tren de pulsos de gran amplitud, evidenciando la robustez inherente de la modulación BPSK ante interferencias moderadas.

La implementación física (b) revela un escenario de mayor hostilidad. La señal OFDM (verde) se encuentra ante la presencia de ruido transitorio que supera notablemente la envolvente de la señal útil. A diferencia de la simulación, donde el ruido se suma linealmente, en el hardware real estos picos de alta energía pueden provocar la saturación momentánea de la etapa de entrada del AFE o del ADC.



(a) Simulación.

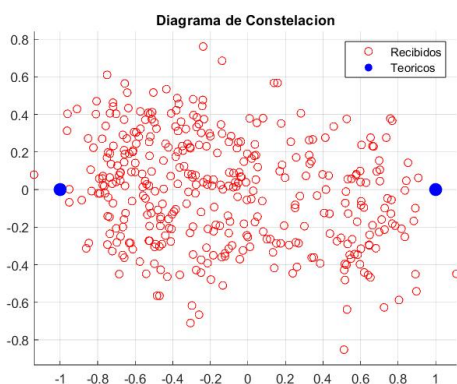


(b) Implementación.

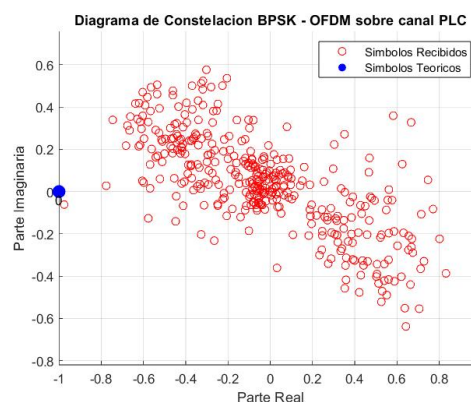
Figura 51: Canal Hostil a Corta Distancia. Representación Espectral: Tx (Azul) vs Rx (Verde).

El impacto espectral del escenario hostil se detalla en la Figura 51. La inyección de ruido impulsivo eleva drásticamente el piso de ruido del sistema, lo cual se evidencia en la aparición de energía significativa en las bandas laterales y en los notches de la máscara de tono, zonas que en el canal limpio permanecían silentes. Esto confirma la naturaleza de banda ancha del fenómeno, donde la ocurrencia de eventos transitorios cortos en el dominio del tiempo afecta simultáneamente todo el espectro de frecuencias disponible.

Se observa, sin embargo, una discrepancia morfológica en la distribución de esta energía de interferencia. En la simulación (a), el espectro del ruido presenta lóbulos laterales prominentes y redondeados fuera del ancho de banda de interés. Este perfil es característico de la Transformada de Fourier de los pulsos sintéticos utilizados, cuya duración (Δt) y amplitud fueron exageradas para forzar errores en el modelo ideal. Por el contrario, la implementación (b) muestra un piso de ruido uniforme. Esta diferencia sugiere que los transitorios reales generados por la fresadora poseen una dinámica temporal de mayor rapidez y una distribución estocástica más compleja que la del tren de pulsos determinista empleado en la simulación. En ambos casos, no obstante, el efecto neto es idéntico, una degradación de la SNR en todas las subportadoras activas de manera simultánea.



(a) Simulación.



(b) Implementación.

Figura 52: Diagrama de Constelaciones: Puntos Teóricos (Azul) vs Señal Recibida (Rojo).



La Figura 52 evidencia el efecto destructivo y dispersivo del ruido impulsivo. Se observa que algunos símbolos (puntos rojos) han sido desplazados fuertemente de su posición ideal, acercándose o cruzando el eje vertical de decisión, siendo de mayor notoriedad este fenómeno en los resultados obtenidos en la implementación.

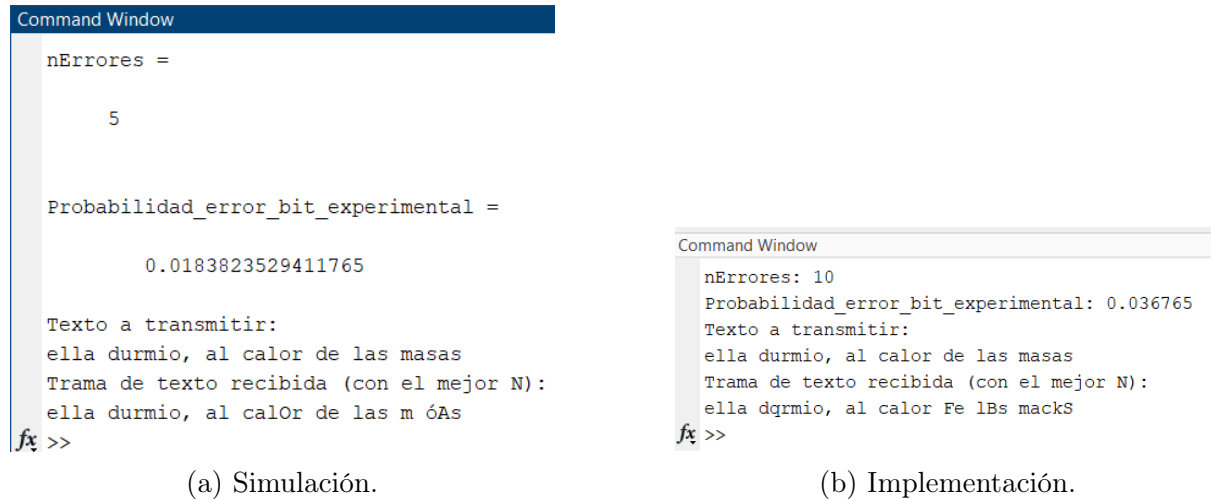


Figura 53: Resultados en Consola: Probabilidad de error en bit experimental.

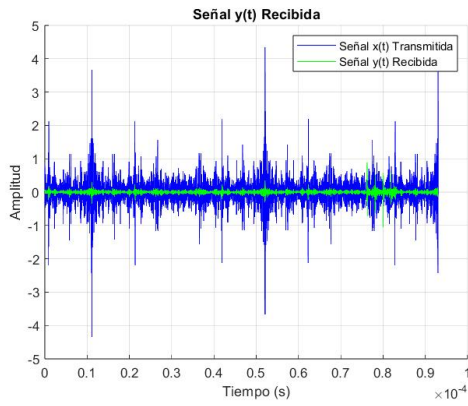
Como consecuencia, la Figura 53 reporta la aparición de errores de bit, resultando en una BER experimental de aproximadamente 3.6 % a nivel implementación y del 1.8 % a nivel simulación. Al observar la constelación implementada, se detecta que por los fenómenos ya abordados existe una densidad crítica de puntos aglomerados en las inmediaciones del origen, lo que explica la mayoría de error en la implementación.

A su vez, se evidencia en la implementación como los caracteres finales de la frase de referencia son alterados, lo cual se condice con el mapeo secuencial de la arquitectura propuesta y la atenuación dominante (sumada a la afección por ruido impulsivo) a altas frecuencias.

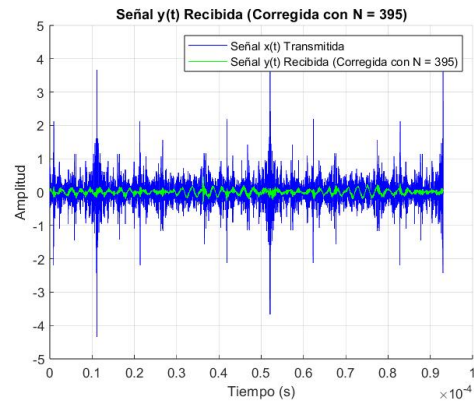
12.2.2. Canal Hostil a Larga Distancia

Este escenario plantea la condición operativa de mayor exigencia para la validación del sistema, al conjugar la atenuación severa inherente al enlace de larga distancia con la presencia de interferencia impulsiva.

Es de mencionar que para esta prueba, la fuente de ruido impulsivo se encuentra inmediata al transmisor, como ya se ha descrito previamente en este trabajo. Lo que genera que tanto la señal atenuante, como los pulsos de ruido generados, arriben hacia el receptor atenuados por la propia respuesta del canal.



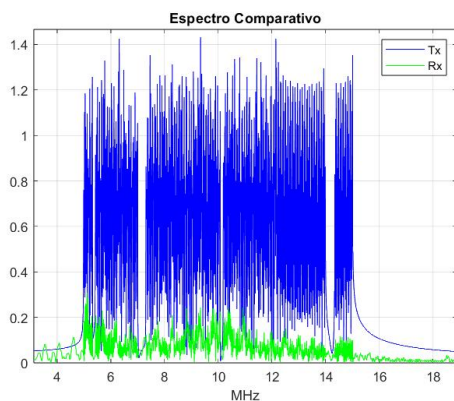
(a) Simulación.



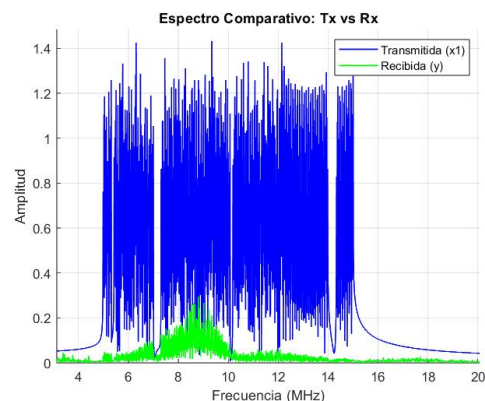
(b) Implementación.

Figura 54: Canal Hostil a Larga Distancia. Representación Temporal: Tx (Azul) vs Rx (Verde).

La Figura 54 evidencia la dinámica de propagación particular derivada de la topología experimental implementada, los transitorios electromagnéticos no inciden directamente sobre la etapa de entrada del receptor con su potencia nominal, sino que deben atravesar la totalidad del medio de transmisión. En consecuencia, tanto la señal OFDM útil como los impulsos espurios son procesados por la misma función de transferencia del canal, experimentando idéntica atenuación por pérdidas de inserción y el mismo efecto de filtrado paso bajo. Si bien este mecanismo de propagación reduce la amplitud absoluta de las espigas de ruido en comparación con la prueba de corta distancia, estas permanecen claramente distinguibles superpuestas a la envolvente de la señal. Dado que la potencia de la trama recibida se encuentra reducida a su límite operativo por la longitud del cableado, el sistema mantiene una alta sensibilidad ante estas excursiones de voltaje remanentes, las cuales, aun atenuadas, poseen energía suficiente para comprometer el margen de decisión de la demodulación.



(a) Simulación.



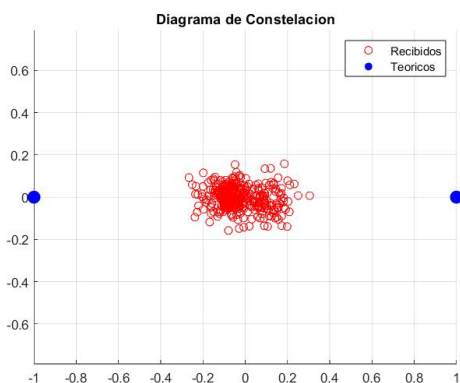
(b) Implementación.

Figura 55: Canal Hostil a Larga Distancia. Representación Espectral: Tx (Azul) vs Rx (Verde).

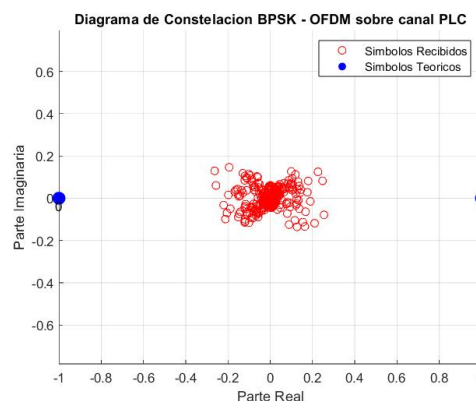
El análisis espectral presentado en la Figura 55 constituye la evidencia gráfica de dos tendencias físicas, la pendiente de atenuación natural del cableado de larga distancia,

que deprime progresivamente la densidad espectral de potencia con la frecuencia, y la elevación uniforme del piso de ruido provocada por la inyección de interferencia impulsiva de banda ancha.

Esta intersección resulta particularmente destructiva en la región comprendida entre los 12 y 15 MHz, donde la envolvente de las subportadoras se ve enmascarada por la energía de la perturbación. Este fenómeno implica que la SNR efectiva para dichas subportadoras se degrada hasta el límite de detección, identificando a esta banda frecuencial específica como la zona de vulnerabilidad primaria.



(a) Simulación.



(b) Implementación.

Figura 56: Diagrama de Constelaciones: Puntos Teóricos (Azul) vs Señal Recibida (Rojo).

La Figura 56 exhibe "nubes" de la constelación están de gran dispersión. Próximos al origen pero en su mayoría detectables utilizando BPSK.

```
Command Window

nErrores =

    14

Probabilidad_error_bit_experimental =

    0.05147117058823529

Texto a transmitir:
ella durmio, al calor de las masas
Trama de texto recibida (con el mejor N):
ella dur5iï ad□Clob de laq masas
fx >>
```

(a) Simulación.

```
Command Window

nErrores: 10
Probabilidad_error_bit_experimental: 0.036764
Texto a transmitir:
ella durmio, al calor de las masas
Trama de texto recibida (con el mejor N):
ella durmio, al calor de las mar□
fx >>
```

(b) Implementación.

Figura 57: Resultados en Consola: Probabilidad de error en bit experimental.

Finalmente, la evaluación cuantitativa presentada en la Figura 57 evidencia una convergencia notable entre los modelos predictivos y los resultados empíricos. La implementación física registra una BER del 3.6 % (10 errores), cifra que se mantiene en el mismo orden de magnitud que el 5.1 % (14 errores) obtenido en la simulación. Los valores y similitudes

puntuales entre estas características dependerán de la amplitud y duración temporal del ruido impulsivo simulado.

12.3. Análisis de Resultados y Prestaciones

En esta sección se presenta la evaluación integral del desempeño del sistema OFDM-PLC implementado. A partir de las pruebas realizadas sobre la plataforma de hardware, se cuantifican las métricas fundamentales de calidad del enlace, contrastando los resultados experimentales con las expectativas teóricas. El análisis se centra en validar el compromiso de diseño asumido entre la eficiencia espectral y la robustez necesaria para operar en un entorno de canal hostil, desglosando a continuación los indicadores clave de rendimiento obtenidos.

12.3.1. Evaluación de Métricas de Desempeño

El análisis cuantitativo del sistema implementado revela un comportamiento dominado por las restricciones de robustez impuestas en el diseño, evaluándose el desempeño principalmente a través de la eficiencia espectral y la temporal.

En cuanto a la Eficiencia Espectral Efectiva (η), el sistema exhibe un valor de $\eta \approx 0,4$ bits/s/Hz, tal como se calculó en la Ecuación 33. Si bien este valor resulta modesto en comparación con estándares inalámbricos modernos que superan fácilmente los 5 bits/s/Hz [15], esta métrica es el resultado directo de una decisión de diseño deliberada que prioriza la integridad de los datos por sobre la velocidad de transmisión.

Esta baja eficiencia es consecuencia de la convergencia de dos factores, la elección de la modulación BPSK (que limita la capacidad de carga a 1 bit por subportadora) y la estrategia Comb Spectrum (donde solo se activan 377 tonos dentro del ancho de banda de 10 MHz). Esto implica que una gran porción del espectro se deja vacante intencionalmente como bandas de guarda, reduciendo la tasa de bits neta a 4,052 Mbps a cambio de mitigar drásticamente la ICI.

Por otro lado, la Eficiencia Temporal del sistema se sitúa en un 88 % según la Ecuación 34. Este valor es intrínseco a la estructura de trama definida por valores conservadores incluidos en la normativa.

El 12 % restante del tiempo de transmisión ($11,12\mu s$) se invierte en el CP, estrictamente necesario para absorber la dispersión temporal causada por el multitrayecto del canal eléctrico, evitando así la ISI.

Finalmente, la combinación de estos factores define la Capacidad de Carga Útil máxima de transporte por símbolo OFDM. Con 377 subportadoras activas y modulación BPSK, la carga útil bruta es de exactamente 377 bits (≈ 47 bytes) por símbolo. Esta restricción física validó la necesidad de limitar la longitud de la cadena de caracteres de prueba (frase ASCII) en la etapa experimental, asegurando que la información pudiera ser encapsulada íntegramente dentro de un único período T_{sym} .

12.3.2. Caracterización Física del Medio y Discrepancias del Modelo

El análisis de la señal recibida en el dominio del tiempo revela, particularmente en las pruebas a larga distancia, un notable ensanchamiento o estiramiento de los picos de la

señal original, fenómeno referido visualmente como "efecto acordeón". Esta dispersión temporal no es más que la manifestación física de la respuesta al impulso del canal, la cual transforma los símbolos discretos transmitidos en una suma de ecos retardados. La severidad de este efecto en la implementación valida la hipótesis de que el medio actúa como un canal dispersivo y selectivo en frecuencia, cuyo comportamiento es atribuible a la convergencia de múltiples fenómenos físicos.

En primer lugar, se confirma la presencia de Fading Selectivo producto de la propagación multitrayecto. La red eléctrica, al no estar diseñada para transmisión de datos en alta frecuencia, presenta discontinuidades de impedancia severas. La desadaptación entre la impedancia de salida del AFE, la impedancia característica del cable y la impedancia de entrada del receptor, genera ondas estacionarias que se propagan y producen múltiples rebotes a lo largo de los 12.25 metros de cableado. Estas reflexiones producen interferencias constructivas y destructivas que se manifiestan espectralmente como rizados o valles en la función de transferencia, un comportamiento que fue predicho con precisión por el modelo de simulación de la UMA (Figura 11) y corroborado en las capturas experimentales (Figura 42b).

Simultáneamente, se observa que el canal se comporta como un Filtro Pasa-Bajo Distribuido, imponiendo una atenuación global que no es aleatoria, sino determinista y creciente con la frecuencia. Este perfil de pendiente negativa en el espectro recibido se explica por la física de los conductores de transmisión de potencia predicho en la sección 9.2.3.

Adicionalmente, la discrepancia de magnitud observada entre la atenuación teórica y la real sugiere la presencia de un Efecto de Carga no despreciable en el entorno de laboratorio, teniendo que adicionar un parámetro de corrección de atenuación en el código MATLAB del receptor (véase el factor GANANCIA en `OFDM_simulación.m`).

Finalmente, el análisis del piso de ruido confirma que el entorno PLC difiere sustancialmente del modelo ideal AWGN. Las capturas en el Canal Hostil evidencian que el ruido no es blanco, sino una superposición de ruido de fondo coloreado y componentes impulsivas asincrónicas de gran amplitud (generadas por el taladro conectado), validando la necesidad de utilizar modelos de ruido complejos como los proporcionados por el generador de la UMA para una estimación realista del rendimiento del enlace.

12.3.3. Impacto de la Técnica de Modulación Seleccionada

La elección del esquema de modulación BPSK representa un compromiso determinante en el sistema, impactando de forma directa y contrapuesta en la fiabilidad y en la capacidad de transmisión.

La selección de BPSK maximiza la integridad del enlace en un medio hostil. Tal como se fundamentó en la Sección 9.1, este esquema ofrece la mayor distancia euclidiana posible entre símbolos de la constelación. Al codificar la información binaria en dos fases opuestas (0° y 180°), el sistema adquiere una inmunidad intrínseca frente a las fluctuaciones de amplitud severas, comunes en canales selectivos en frecuencia. Esto flexibiliza los requisitos de la etapa de ecualización, ya que la distorsión de amplitud no desplaza los símbolos fuera de sus regiones de decisión, permitiendo una demodulación correcta incluso en escenarios de baja SNR.

Sin embargo, esta fiabilidad impone una restricción severa en la eficiencia espectral. Al limitar la densidad de información a 1 bit por subportadora, siendo la causa primaria de

la modesta eficiencia espectral efectiva y restricción en la carga útil máxima por símbolo a 47 caracteres ASCII. En consecuencia, aunque el sistema garantiza una alta probabilidad de entrega exitosa de símbolos, esto es posible a expensas de subutilizar la capacidad potencial de ancho de banda del canal, siendo esta una característica aceptable para aplicaciones de validación, control o telemetría crítica, pero limitante para transmisión de datos de alta velocidad.

12.3.4. Restricciones de la Arquitectura AFE y Adaptación Espectral

El análisis de las prestaciones del sistema está condicionado por la arquitectura del AFE utilizado. Al estar este componente preparado para el estándar HomePlug 1.0, su operación queda establecida a una tasa de muestreo de 50 MSps, lo cual constituye exactamente la mitad de la velocidad recomendada por la norma IEEE. Esta restricción en la frecuencia de muestreo obligó a diseñar estrategias específicas para suplir dicha diferencia técnica y adaptar el esquema de transmisión a la ventana de Nyquist disponible.

Es importante destacar que esta característica del AFE no representa una deficiencia de calidad, las pruebas realizadas confirman que el hardware es perfecto para una validación experimental robusta e inclusive es viable para su implementación en un caso hipotético de producto final orientado a la transmisión de un gran flujo de datos. Sin embargo, la adaptación a estas condiciones de operación tuvo un impacto directo en los resultados, imponiendo limitaciones concretas como la reducción del ancho de banda total utilizable y la modificación de la máscara de tono para garantizar la integridad de la señal dentro de las capacidades espectrales del dispositivo.

12.3.5. Estrategias de Transmisión y Coherencia Temporal

La transmisión bajo la modalidad Single Shot OFDM respondió a una necesidad específica de la metodología de validación en laboratorio, basada en captura y post-procesamiento, y no constituye una estrategia de diseño para un producto final, donde se optaría por un flujo continuo de símbolos para la transmisión masiva de datos. Esta configuración permitió evidenciar una primera relación de compromiso, la transmisión de símbolos aislados o excesivamente cortos resulta ineficiente desde el punto de vista de la ingeniería, ya que desaprovecha el ancho de banda disponible al enviar una proporción mayoritaria de CP en relación con la carga útil. No obstante, esta baja eficiencia ofrece una ventaja en robustez, pues ante eventos de ruido impulsivo, la pérdida de información se limita a un único símbolo, facilitando su recuperación.

El análisis profundo del canal PLC revela fuerzas contrapuestas que dictan la longitud óptima del símbolo. Por un lado, la presencia dominante de ruido impulsivo y, fundamentalmente, de ecos de larga duración producto del multitrayecto, obliga a incrementar la duración del CP para absorber la ISI. Para amortiguar la ineficiencia que introduce un CP extenso, es mandatorio aumentar proporcionalmente el tamaño de la FFT y, por ende, la duración del símbolo útil. Esta necesidad justifica la elección de la norma IEEE de utilizar una transformada de 4096 puntos, buscando diluir el peso del prefijo cíclico y maximizar la capacidad del canal estático.

A su vez, los resultados teóricos y experimentales señalan que extender indefinidamente el tamaño del símbolo es inviable debido a la variación temporal del medio. En escenarios donde el canal cambia dinámicamente (ya sea por conmutación de impedancias, ruido

cíclico o efectos Doppler en aplicaciones móviles), es crítico que la duración del símbolo sea inferior al tiempo de coherencia del canal. El receptor FFT asume que la función de transferencia del canal es constante durante todo el periodo T_{sym} , si el canal varía significativamente dentro de esta ventana temporal, se vulnera la ortogonalidad entre subportadoras, generando una ICI e ISI irrecuperable. Este fenómeno impone una fuerza inversa a la presencia de grandes ecos en el canal, es decir la necesidad de símbolos de corta duración.

En conclusión, el diseño del sistema OFDM enfrenta una paradoja técnica en entornos hostiles complejos. Si el escenario presenta simultáneamente ecos largos (que exigen aumentar el tamaño del símbolo) y una fuerte variación temporal (que exige disminuirlo), el sistema encuentra un punto de falla donde ninguna configuración estándar es viable, requiriendo en tal caso de estrategias de ecualización dinámicas de mayor complejidad, que a su vez aumentan la necesidad de recursos informáticos, de hardware, de área en silicio (en caso de un producto final) y en definitiva económicos.

12.3.6. Caracterización Determinista del Retardo de Enlace

La determinación del parámetro $N_{corrimiento}$ mediante el algoritmo de ventana deslizante constituye la implementación efectiva de una sincronización por correlación en post-procesamiento. A diferencia de un receptor ciego que depende de preámbulos para la detección de trama, esta metodología aprovecha el conocimiento determinista de la señal transmitida para realizar una búsqueda exhaustiva del punto de alineación temporal óptimo, utilizando la minimización de la BER como función de costo.

Desde la perspectiva del análisis de señales, este proceso opera intrínsecamente como un compensador de fase lineal. Dado que el canal $H[k]$ y la cadena de hardware introducen un retardo de grupo significativo, la señal recibida experimenta una rotación de fase lineal en el dominio de la frecuencia, descrita por la propiedad de desplazamiento temporal de la Transformada de Fourier ($x[n - n_0] \leftrightarrow X[k]e^{-j\frac{2\pi}{N}kn_0}$). Al iterar sobre el vector recibido y seleccionar el desplazamiento que minimiza el error, el algoritmo está resolviendo matemáticamente la ecuación de fase, corrigiendo la constelación hasta que los puntos recibidos se alinean con la referencia teórica.

Un hallazgo fundamental que valida esta caracterización es la notable consistencia observada en el valor de $N_{corrimiento}$ a través de todos los escenarios de prueba. Los resultados experimentales demostraron valores de 398 y 396 muestras para el canal limpio a corta y larga distancia respectivamente, y de 397 y 395 muestras para las pruebas equivalentes en Canal Hostil. Esta estabilidad numérica, con una dispersión marginal de apenas 3 muestras, demuestra empíricamente que la latencia del sistema es determinista y constante. Se confirma así que este retardo fijo no es producto de variaciones estocásticas en el medio de transmisión, sino que es proporcionado directamente por la cadena de hardware, correspondiendo a la suma acumulada de los tiempos de procesamiento en el AFE, la latencia de conversión de los DACs y la respuesta de los amplificadores de línea.

En conclusión, esta estrategia permitió aislar exclusivamente la degradación introducida por el canal (atenuación y ruido) de las variables de sincronización. Al eliminar la incertidumbre asociada a la detección de preámbulos en tiempo real y confirmar la naturaleza constante de la latencia del hardware, se garantiza que la BER medida refleja fielmente la robustez de la capa física y la modulación BPSK frente al medio hostil.

12.3.7. Impacto del Prefijo Cíclico

Es relevante profundizar en la composición de este parámetro según los lineamientos del estándar IEEE 1901, el cual define la duración total del CP o como la suma de dos componentes temporales, un Intervalo de Guarda (GI), destinado a absorber la dispersión por multitrayecto, y un Intervalo de Roll-off (RI), utilizado para el conformado de pulsos. En el diseño de este transceptor, se estableció deliberadamente $RI = 0$, prescindiendo del filtro de conformado. Esta decisión estratégica se justifica en que la mitigación de la ICI y la reducción de lóbulos laterales se abordó mediante la arquitectura de Comb Spectrum, lo que permitió simplificar la lógica de cómputo y optimizar los recursos de la FPGA para la etapa de validación.

En consecuencia, la totalidad de las muestras asignadas al prefijo corresponden al intervalo de guarda efectivo ($T_{CP} = GI$). El valor configurado de $N_{cp} = 556$ muestras coincide con un prefijo extendido no arbitrario, sino una medida de diseño preventiva necesaria para garantizar la robustez del enlace frente a las condiciones severas del canal hostil característico del laboratorio de la universidad.

La efectividad de esta configuración depende estrictamente de que la duración del CP supere a la dispersión máxima del canal. Las mediciones en las pruebas de larga distancia (12.25m, tanto en Canal Limpio como Hostil) mostraron que la dispersión temporal de la señal (el 'efecto acordeón' observado en las Figuras 45b y 54b) no excedió este margen de seguridad. Esto se evidencia de forma contundente en el diagrama de constelación recibido respectivo a ambas pruebas, donde a pesar de la severa atenuación y la distorsión visible en el dominio del tiempo, los puntos de la constelación BPSK permanecen agrupados y distinguibles tras la corrección de fase. Este comportamiento confirma que la convolución circular fue emulada exitosamente y que la Interferencia Inter-Simbólica (ISI) fue mitigada por el CP diseñado.

12.3.8. Efectos de No-Linealidad y Rango Dinámico

El análisis comparativo entre las señales transmitidas y las recibidas en la implementación física revela un fenómeno de recorte de amplitud severo que no se manifiesta con la misma intensidad en el modelo de simulación ideal. Este comportamiento es la consecuencia directa de la colisión entre el elevado PAPR intrínseco a la modulación OFDM y el rango dinámico finito del hardware analógico. Dado que el DAC del AFE opera con una resolución de 10 bits, su capacidad de representación está acotada físicamente a valores enteros dentro del rango $[0, 1023]$. En los instantes donde la superposición constructiva de las subportadoras genera un pico de energía que excede la capacidad de excursión máxima del convertidor, la señal sufre una saturación o truncamiento inmediato, perdiendo la información de amplitud contenida en dichos extremos.

A este fenómeno de no linealidad en el transmisor se suma el comportamiento del propio canal como filtro. Desde el punto de vista del análisis de Fourier, los cambios abruptos o "aristas" generados por el recorte digital, así como los picos de alta energía originales, están compuestos por armónicos de alta frecuencia. Como se detalló anteriormente, el canal físico atenúa fuertemente estas componentes debido al Efecto Piel y las pérdidas dieléctricas. En consecuencia, la señal que arriba al receptor no solo presenta los picos truncados por el DAC, sino que estos aparecen suavizados por el filtrado paso-bajo natural del cableado, contribuyendo a una reducción efectiva de la potencia pico vista por el receptor.

Sin embargo, el hallazgo más relevante de esta observación es la resiliencia del sistema ante esta degradación. A pesar de que la forma de onda temporal recibida difiere morfológicamente de la transmitida debido al recorte de los picos de alta energía necesarios para una reconstrucción perfecta, la tasa de error se mantiene baja. Esto se debe a la elección estratégica de la modulación BPSK. Al codificar la información exclusivamente en la fase de la portadora, el sistema se vuelve inherentemente robusto frente a distorsiones de amplitud. El recorte reduce la magnitud del vector recibido (acercando los puntos de la constelación al origen), pero no altera su ángulo de fase lo suficiente como para cruzar el umbral de decisión, permitiendo que el receptor recupere los datos correctamente aun en presencia de una compresión severa de la señal.

13. CONCLUSIONES Y TRABAJOS FUTUROS

El presente capítulo tiene por objeto exponer la validación del prototipo de transceptor PLC-OFDM. Se condensan las lecciones aprendidas durante la integración hardware-software y se evalúa el grado de cumplimiento de los objetivos técnicos planteados al inicio del proyecto, cerrando el ciclo de investigación.

La exposición se organiza de la siguiente manera:

En la Sección 13.1, se exponen las Conclusiones, destacando la validación exitosa del enlace físico en la banda de 5-15 MHz, así como la identificación cuantitativa de las limitaciones críticas impuestas por el AFE y las discrepancias observadas entre el modelado teórico y el canal físico real.

Asimismo, la Sección 13.2 define el Alcance de Aplicación, donde se proyecta el potencial del prototipo desarrollado más allá del entorno de laboratorio, analizando su viabilidad teórica para soportar servicios de telemetría crítica y transmisión multimedia en escenarios industriales basándose en las tasas de transferencia netas obtenidas.

Finalmente, la Sección 13.3 plantea las líneas de Trabajos Futuros, proponiendo una hoja de ruta para la evolución del sistema que incluye mejoras arquitectónicas, como la implementación de un receptor en tiempo real, y mejoras algorítmicas, tales como la incorporación de técnicas de ecualización avanzada y códigos correctores de errores.

13.1. Conclusiones

El desarrollo de este proyecto ha permitido diseñar y validar experimentalmente un enlace físico OFDM-PLC funcional en la banda de 5-15 MHz. La prueba logró recuperar tramas de texto ASCII con una BER nula en escenarios no hostiles e independientes de la distancia, cumpliendo con el objetivo de establecer una comunicación efectiva sobre la infraestructura eléctrica existente.

No obstante, la cuantificación de las prestaciones reveló que el hardware AFE MAX2981 constituye el principal limitante de las prestaciones y alcance del sistema. Su tasa de muestreo fija de 50 MSps restringe el ancho de banda de Nyquist utilizable a 25 MHz máximos, limitando la capacidad del canal e impidiendo el cumplimiento estricto del ancho de banda especificado por el estándar IEEE 1901. Se concluye que, para futuras implementaciones que requieran explotar el espectro completo, es indispensable la migración a un AFE con una tasa de muestreo superior a 56 MSps.

Desde la perspectiva del diseño de la trama, se validó empíricamente el dimensionamiento del CP extendido. Las pruebas de larga distancia demostraron que la duración de 556 muestras fue suficiente para absorber la dispersión temporal del canal, preservando la ortogonalidad de las subportadoras y mitigando eficazmente la ISI sin necesidad de ecualización compleja en el dominio del tiempo.

Asimismo, es fundamental destacar que la validación a nivel de laboratorio fue viable gracias a la implementación de estrategias algorítmicas adaptadas que, aunque no se detallan explícitamente en la normativa IEEE-1901, respetan su arquitectura base. La técnica de Comb Spectrum resultó determinante para ajustar la densidad espectral a las restricciones de tasa del hardware, mientras que el algoritmo de sincronización por corrimiento de ventana basado en la minimización de la probabilidad de error permitió prescindir

de secuencias de preámbulo complejas, logrando una alineación temporal efectiva en un entorno de latencia indeterminada.

Adicionalmente, y en concordancia con el análisis de las estrategias de transmisión discutidas en la Sección 12.3.5, se concluye que la optimización de los parámetros temporales de la trama (longitud del símbolo y extensión del CP) constituye una medida de mitigación necesaria pero insuficiente frente a la naturaleza destructiva del ruido impulsivo de gran amplitud. Se determina que, para evolucionar hacia un producto final, la implementación de esquemas de Corrección de Errores Hacia Adelante (FEC) resulta obligatoria para garantizar la integridad de los datos. Es fundamental destacar que en este trabajo se prescindió deliberadamente de dicha etapa de codificación de canal, ya que su inclusión en esta fase de validación habría enmascarado la BER real y los efectos físicos de la interferencia, impidiendo la caracterización pura de la robustez de la modulación y el comportamiento del hardware frente al canal hostil.

Finalmente, las lecciones aprendidas en el procesamiento de señal destacan la robustez intrínseca del sistema frente a las no-linealidades. Los resultados experimentales evidenciaron que, aun cuando la señal experimentó gran atenuación debido al rango dinámico limitado del DAC frente al alto PAPR de OFDM, la información fue recuperable. Esto ratifica que la elección de la modulación BPSK, al codificar la información exclusivamente en fase, proporciona la resiliencia necesaria para operar con hardware de recursos acotados y en presencia de ruido impulsivo asíncrono, aunque ello implique un compromiso en la eficiencia espectral que hace imperativa la implementación futura de técnicas de ecualización dinámica para escalar la velocidad del sistema.

13.2. Alcance de Aplicación

Si bien el objetivo primario de este trabajo fue la validación experimental de la capa física en condiciones de laboratorio, es pertinente analizar el alcance potencial de la tecnología desarrollada. A pesar de las limitaciones de tasa de muestreo impuestas por el AFE (50 MSps), la arquitectura FPGA diseñada posee la capacidad de procesamiento para escalar hacia un sistema de comunicaciones de banda ancha funcional.

Para realizar esta proyección, se considera el uso del ancho de banda analógico completo permitido por el filtro del AFE (aprox. 4 MHz a 25 MHz). Descontando las bandas de radioaficionados (notches) y pilotos según la norma IEEE 1901 [2], se estima una disponibilidad conservadora de $N_{sc} \approx 900$ subportadoras activas de datos. Dado que la duración del símbolo con el prefijo cíclico actual a 50 MSps es de $T_{sym} = 93,04 \mu s$, la tasa de símbolos del sistema se establece en $r = 10,75$ kbaudios.

Bajo estas condiciones de operación, y asumiendo la implementación de un receptor en tiempo real con ecualización, se estiman las siguientes prestaciones para un producto final:

- **Modo de Alta Robustez (BPSK):** Utilizando el esquema de modulación base (1 bit/sc) y maximizando el espectro disponible, la tasa física bruta se calcula como $R_{phy} = 900 \times 1 \times 10,75 \text{ k} \approx 9,7 \text{ Mbps}$. Considerando una codificación de canal robusta (FEC 1/2) típica para entornos ruidosos [15], la tasa neta de datos ($\approx 4,8 \text{ Mbps}$) resulta suficiente para aplicaciones de telemetría industrial crítica, telefonía VoIP y transmisión de audio de alta fidelidad sin [20, 21].
- **Modo de Alto Rendimiento (16-QAM):** Si la SNR del canal lo permite, elevar

el índice de modulación a 16-QAM (4 bits/sc), estándar en la norma IEEE 1901 [2], incrementaría la tasa física a $R_{phy} = 900 \times 4 \times 10,75 \text{ k} \approx 38,7 \text{ Mbps}$. Aplicando un FEC de tasa 3/4, esto habilitaría una velocidad neta estimada cercana a los **29 Mbps**. Esta capacidad es suficiente para soportar múltiples flujos de video vigilancia IP en alta definición (CCTV HD) y proveer conectividad de Internet en infraestructuras donde el despliegue de cableado estructurado es inviable [22, 23].

Esto demuestra que el prototipo desarrollado no se limita a una herramienta de validación académica, sino que constituye la base de ingeniería para un módem PLC de clase "Fast Ethernet", capaz de competir en prestaciones con las primeras generaciones de adaptadores comerciales HomePlug AV.

13.3. Trabajos Futuros

Evolución de la Arquitectura de Hardware: Se plantea la incorporación de una segunda unidad de desarrollo (ZedBoard) para implementar la cadena de recepción completa en hardware. Configurar un segundo AFE como receptor dedicado permitirá procesar la trama en tiempo real, eliminando la necesidad de empaquetar la información en un único símbolo OFDM y habilitando la transmisión de flujos de datos continuos. Asimismo, para cumplir estrictamente con el ancho de banda estipulado por la norma, se requiere la migración a un AFE capaz de operar a una frecuencia de muestreo de 100 MSps, superando el límite de Nyquist de 25 MHz del hardware actual.

Optimización Espectral y Modulación: Con el objetivo de maximizar la tasa de transferencia, se propone duplicar la densidad espectral de la máscara de tono, activando los índices impares omitidos en este proyecto. Al ocupar subportadoras adyacentes, será necesario abandonar la ventana rectangular e implementar técnicas de conformado de pulso con un intervalo de Roll-off para reducir los lóbulos laterales y mitigar la ICI. Conjuntamente, se debe aumentar el índice de modulación desde BPSK hacia esquemas de mayor densidad como 16-QAM, tal como recomienda el estándar IEEE 1901 [2].

Procesamiento Avanzado de Señal: Para soportar modulaciones de orden superior en entornos hostiles, como el de la propia Universidad con gran volumen de cargas conectadas, es imperativa la implementación de estrategias de estimación de canal y ecualización dinámica. Se propone la incorporación de técnicas como Zero-Forcing o Error Cuadrático Medio Mínimo (MMSE) [12], las cuales además de permitir modulaciones de mayor densidad, podrán compensar las distorsiones de magnitud y fase introducidas por el AFE y el canal, especialmente en frecuencias altas, recuperando parcialmente la banda atenuada.

Codificación de Canal: Finalmente, aunque en este trabajo se prescindió de códigos correctores de errores para caracterizar la pureza de la Capa Física y los efectos del hardware, la implementación de un sistema de comunicaciones final exige la inclusión de esquemas FEC. Su adición es obligatoria para minimizar el riesgo de pérdida de datos frente al ruido impulsivo asíncrono inherente a la red eléctrica.

14. BIBLIOGRAFÍA

- [1] P. E. Roza García, J. A. Hernández Mora, and J. J. Romero Leon. Ruido en un canal de comunicaciones a través de líneas eléctricas de potencia -PLC-. *Redes de Ingeniería*, 2017.
- [2] IEEE. *IEEE Standard for Broadband over Power Line Networks: Medium Access Control and Physical Layer Specifications*, 2010. Disponible en <https://ieeexplore.ieee.org/document/5678772>.
- [3] J. A. Cortés, L. Díez, F. J. Cañete, and J. J. Sánchez-Martínez. PLC Channel Generator. Universidad de Málaga. Disponible en <https://www.plc.uma.es/canales.html>.
- [4] Avnet Electronics Marketing. *ZedBoard (Zynq Evaluation and Development) Hardware User's Guide*, 2014. Disponible en https://files.digilent.com/resources/programmable-logic/zedboard/ZedBoard_HW_UG_v2_2.pdf.
- [5] Maxim Integrated. *MAX2981: Integrated Powerline Communication Analog Front-End Transceiver and Line Driver*, 2009. Disponible en <https://www.analog.com/media/en/technical-documentation/data-sheets/max2981.pdf>.
- [6] Francisco Membibre Fernández. Diseño de una arquitectura para un enlace PLC de banda ancha de alta velocidad para entornos vehiculares o aeroespaciales. Master's thesis, Escuela Politécnica Superior, Universidad de Alcalá, Alcalá de Henares, España, 2019.
- [7] Digilent Inc. *ZedBoard FPGA Package Pin to FMC Pin Mapping*. Disponible en https://digilent.com/reference/_media/reference/programmable-logic/zedboard/fpga_package_pin_to_fmc.pdf.
- [8] A. Bruce Carlson and Paul B. Crilly. *Communication Systems: An Introduction to Signals and Noise in Electrical Communication*. McGraw-Hill Education, New York, NY, 5 edition, 2010.
- [9] M. Zimmermann and K. Dostert. A multipath model for the powerline channel. *IEEE Transactions on Communications*, 50(4):553–559, 2002.
- [10] M. Zimmermann and K. Dostert. Analysis and modeling of impulsive noise in broadband powerline communications. In *IEEE International Conference on Communications (ICC)*, volume 1, pages 24–28 vol.1, 2000.
- [11] R. W. Chang. Synthesis of band-limited orthogonal signals for multichannel data transmission. *The Bell System Technical Journal*, 45(10):1775–1796, Dec 1966.
- [12] Sergio E. Moya. *Estimación y Ecualización de Canales PLC de Banda Ancha: Aplicación en OFDM y Portadora Única*. Tesis de doctorado, Universidad Nacional de Mar del Plata, 2016.
- [13] M. K. Lee, R. E. Newman, H. A. Latchman, S. Katar, and L. Yonge. HomePlug 1.0 powerline communication techniques. *IEEE Communications Magazine*, 41(5):72–77, 2003.

- [14] ITU-T. *GSTP-OVHN Overview of ITU-T G.hn technology*, 2021. pp. 1-30.
- [15] Yong Soo Cho, Jaekwon Kim, Won Young Yang, and Chung G. Kang. *MIMO-OFDM Wireless Communications with MATLAB*. John Wiley & Sons, 2010.
- [16] Behrouz Farhang-Boroujeny. OFDM Versus Filter Bank Multicarrier. *IEEE Signal Processing Magazine*, 2011. Disponible en: <https://ieeexplore.ieee.org/document/5753092>.
- [17] Rajprakash Bale, T. Sai Seetharamaiah, Y. Sreenivasa Reddy, Ankit Dubey, and Trilochan Panigrahi. OFDM vs FBMC: A comparative analysis for broadband-PLC. *2018 10th International Conference on Communication Systems & Networks (COMS-NETS)*, 2018. Disponible en: <https://ieeexplore.ieee.org/document/8328249>.
- [18] Hamid Saeedi-Sourck, Yan Wu, Jan W. M. Bergmans, Saeed Sadri, and Behrouz Farhang-Boroujeny. Complexity and Performance Comparison of Filter Bank Multicarrier and OFDM in Uplink of Multicarrier Multiple Access Networks. *IEEE Transactions on Signal Processing*, 59(4):1907–1912, 2011.
- [19] Raúl Mateos, Rubén Nieto, and Álvaro Hernández. Performance Improvement of PLC Channel Estimator and ASCET Equalizer in a FBMC Transmultiplexer Based on a Multi-Core Solution. *IEEE Access*, 8:188552–188563, 2020.
- [20] Cisco Systems. Voice over IP - Per Call Bandwidth Consumption. Technical report, Cisco Systems, Inc., 2006. Document ID: 7934. Disponible en: <https://www.cisco.com>.
- [21] Ken C. Pohlmann. *Principles of Digital Audio*. McGraw-Hill Education, New York, NY, 6 edition, 2010.
- [22] Axis Communications. *Technical guide to network video*. Axis Communications AB, 2018. White Paper. Disponible en: https://www.axis.com/files/whitepaper/wp_bandwidth_storage_71162_en_1804_lo.pdf.
- [23] Netflix. Internet Connection Speed Recommendations. Netflix Help Center, 2024. Disponible en: <https://help.netflix.com/en/node/306>.

15. ANEXOS

15.1. Arquitectura MATLAB

15.1.1. config.m

```
1 % Script "config.m"
2
3 % PARAMETROS GENERALES
4 modo = 0;
5 N = 2047;
6 f_max = 50e6;
7 f_min = f_max/2047;
8 M = 50;
9 f = [0:1/(N-1):1].'* (f_max - f_min) + f_min;
10
11 % IMPEDANCIAS
12 Zg = 5; % Tx fuerte (Line Driver)
13 Zl = 50; % Rx estandar
14
15 % Estructura
16 X = 7;
17 l = zeros(1,X);
18 t = zeros(1,X);
19 net = cell(X,4);
20
21 if modo == 0
22
23     % =====
24     % CONFIGURACION DEL EXPERIMENTO
25     % =====
26
27     % --- CAMBIAR ESTO SEGUN LA PRUEBA ---
28     % Experiencia 1: L=1.9, Tipo=2 (Cable normal)
29     % Experiencia 2: L=12.25, Tipo=1 (Cable fino, para mas atenuacion
30     % real)
31
32     LONGITUD_CABLE = 1.9;
33     TIPO_CABLE = 1;
34
35     % =====
36
37     [R, L, C, G] = Datcables_altered(f);
38
39     % Impedancias "Infinitas" para anular stubs
40     Z_open = repmat(1e6, N, 1);
41
42     % Asignacion LTI
43     if ~exist('tipo', 'var') || tipo == 0
44         Z1 = Z_open; Z2 = Z_open; Z3 = Z_open;
45     elseif tipo == 1
46         phi = 0; Z_a = repmat(50, N, 1); Z1 = Z_open; Z2 = Z_open;
47         Z3 = impedance1_t(M, Z_a, Z_open, phi);
48     else
49         D_d = 2; T_d = 20; Z1 = Z_open; Z2 = Z_open;
50         Z3 = impedance2_t(M, Z_open*0.5, Z_open, D_d, T_d);
51     end
```



```

52 % TOPOLOGIA DE LINEA PURA (Sin stubs, solo el cable)
53 l = [LONGITUD_CABLE, 0, 0, 0, 0, 0, 0];
54 t = repmat(TIPO_CABLE, 1, 7);
55
56 net = {0, l(1), t(1), 0;          ... % CABLE PRINCIPAL
57        1, l(2), t(2), Z1;        ... % El resto anulado
58        0, l(3), t(3), 0;          ...
59        1, l(4), t(4), Z2;        ...
60        0, l(5), t(5), 0;          ...
61        1, l(6), t(6), Z3;        ...
62        0, l(7), t(7), 0};
63 end

```

Listing 1: Script de Configuración del Canal (UMA)

15.1.2. OFDM_simulacion.m

```

1 clear; clc; close all;
2 format long g;
3
4 % =====
5 % 1. CONFIGURACION Y TRANSMISION
6 % =====
7
8 % Definicion de parametros OFDM
9 % Selecccion de subportadoras (Comb Spectrum: indices pares para adaptar
   tasa)
10 subportadoras = [205:218, 223:287, 300:413, 418:573, 588:615] .* 2;
11 num_subportadoras = length(subportadoras);
12 Ni = 1;          % Numero de simbolos OFDM a transmitir
13 N = 4096;        % Tamano de la FFT/IFFT
14 Ncp = 556;       % Longitud del Prefijo Ciclico
15
16 % Definicion del mensaje a transmitir
17 texto = 'ella durmio, al calor de las masas';
18 ascii_valores = double(texto); % Convertir caracteres a valores ASCII
   numericos
19
20 % Conversion de texto a binario
21 binario_cell = cell(1, length(ascii_valores));
22 for i = 1:length(ascii_valores)
23     % Convierte cada caracter a 8 bits (byte)
24     binario_cell{i} = dec2bin(ascii_valores(i), 8);
25 end
26
27 % Concatenar todo en una unica cadena de bits
28 cadena_binaria_unica = [binario_cell{:}];
29
30 % Convertir cadena de caracteres '0'/'1' a vector numerico
31 simbolos_originales = cadena_binaria_unica - '0';
32 n_bits_originales = length(simbolos_originales);
33
34 % Verificacion de capacidad del simbolo OFDM
35 capacidad_total_bits = num_subportadoras * Ni; % BPSK: 1 bit por
   subportadora
36
37 if n_bits_originales > capacidad_total_bits
38     error('MENSAJE DEMASIADO LARGO PARA UN SOLO SIMBOLO');

```

```

39 end
40
41 % Relleno (Padding) con ceros si sobran subportadoras
42 num_bits_a_agregar = capacidad_total_bits - n_bits_originales;
43 simbolos = [simbolos_originales; zeros(num_bits_a_agregar, 1)];
44 bits = simbolos; % Copia para calculo de BER posterior
45
46 % Modulacion BPSK (M=2)
47 % Se mapean los bits a fases (0 y pi)
48 s = pskmod(simbolos, 2, pi);
49 s = s / sqrt(mean(abs(s).^2)); % Normalizacion de potencia unitaria
50
51 % Reshape para acomodar en la matriz de transmision (Frecuencia)
52 X = reshape(s, num_subportadoras, Ni);
53
54 % Construccion del Simbolo OFDM en el Dominio del Tiempo (IFFT)
55 x = zeros((Ncp+N)*Ni, 1); % Vector para la senal temporal completa
56
57 for i = 1:Ni
58     % Vector de entrada a la IFFT (Tamano N)
59     Xa = zeros(N, 1);
60
61     % 1. Mapeo de datos en subportadoras positivas
62     Xa(subportadoras) = X(:, i);
63
64     % 2. Simetria Hermitica:
65     % Para que la salida de la IFFT sea REAL, la parte negativa del
66     % espectro
67     % debe ser el conjugado espejado de la positiva.
68     % Estructura: [DC, Positivas, Nyquist, Negativas(Conjugadas)]
69     Xa(N/2+2:N) = conj(flipud(Xa(2:N/2)));
70
71     % 3. IFFT (Paso a dominio del tiempo)
72     xa = sqrt(N) * ifft(Xa);
73
74     % 4. Adicion del Prefijo Ciclico (CP)
75     % Copia las ultimas Ncp muestras al principio
76     xa_ext = [xa(end-Ncp+1:end); xa];
77
78     % Guardar en el vector de transmision final
79     x((Ncp+N)*(i-1)+1:(Ncp+N)*i) = xa_ext;
80 end
81
82 x1 = x; % Copia de la senal limpia para graficas comparativas
83
84 % =====
85 % 2. SIMULACION DEL CANAL (RUIDO + MULTIPATH)
86 % =====
87
88 % Parametros del Canal Fisico
89 GANANCIA = 0.7; % Simula perdidas por insercion y efecto de carga de la
90 red
91
92 % --- GENERACION DE RUIDO IMPULSIVO ---
93 load('periodic_impulsive_asynchronous_1.mat');
94 % Al cargar esto, aparece la variable 'pulse' (aprox 1901 muestras)

```



```
95 % Afilado del pulso (Downsampling):
96 % El pulso original es de baja frecuencia. Al tomar 1 de cada 5 muestras
97 % Se hace mas corto en tiempo y mas ancho en frecuencia (Broadband).
98 FACTOR_AFILADO = 5;
99 pulse_rapido = pulse(1:FACTOR_AFILADO:end);
100
101 % Inicializacion vector de ruido
102 ruido_total_tiempo = zeros(length(x), 1);
103
104 % Configuracion de inyeccion de ruido
105 factor_escalapulse = 0; % AMPLITUD DEL RUIDO (0 = Canal Limpio, >0 =
    Canal Hostil)
106 punto_inicio = 3800; % Muestra donde impacta el ruido
107
108 % Inyeccion del pulso en el vector de ruido
109 punto_final = punto_inicio + length(pulse_rapido) - 1;
110
111 if punto_final <= length(ruido_total_tiempo)
112     ruido_total_tiempo(punto_inicio:punto_final) = (pulse_rapido *
        factor_escalapulse);
113 end
114
115 % --- GENERACION DEL CANAL MULTITRAYECTO (UMA) ---
116 % Genera la respuesta en frecuencia base del canal PLC
117 Ho = PLC_channel_generator_2(0);
118
119 % Normalizacion de la energia del canal
120 Ho = Ho/sqrt(sum(abs(Ho).^2));
121
122 % Ajuste para simetria (DC + Positivas)
123 Ho = [real(Ho(1)); Ho];
124
125 % Creacion del espectro completo (Simetria Hermitica del Canal)
126 H_halfp = Ho(:,1);
127 H_halfn = conj(flipud(H_halfp(2:end)));
128 H_full = [H_halfp; real(H_halfp(2048)); H_halfn];
129
130 % Obtencion de la respuesta al impulso h(t) mediante IFFT
131 h = ifft(H_full)/sqrt(N);
132 h = h / sqrt(sum(abs(h).^2)); % Normalizar respuesta impulsiva
133
134 % Respuesta en frecuencia final para analisis
135 H = fft(h);
136
137 % --- APLICACION DE EFECTOS DEL CANAL ---
138 % 1. Convolucion con el canal (Multipath)
139 y_canal = filter(h, 1, x);
140
141 % 2. Atenuacion global
142 y_atenuada = y_canal * GANANCIA;
143
144 % 3. Adicion de Ruido Impulsivo
145 y = y_atenuada + ruido_total_tiempo;
146
147
148 % =====
149 % 3. RECEPCION Y DEMODULACION
```

```

150 % =====
151
152 Xr = zeros(num_subportadoras, Ni);
153
154 for i = 1:Ni
155     % Extraer el simbolo correspondiente del flujo recibido
156     yrext = y((Ncp+N)*(i-1)+1:(Ncp+N)*i);
157
158     % 1. Retirar el Prefijo Ciclico (CP)
159     yr = yrext(Ncp+1:end);
160
161     % 2. FFT (Pasar a dominio de la frecuencia)
162     Yr = fft(yr) / sqrt(N);
163
164     % 3. Extraccion de subportadoras de datos
165     Xr(:, i) = Yr(subportadoras);
166 end
167
168 % Demodulacion BPSK
169 bits_recibidos = pskdemod(Xr,:), 2, pi);
170
171 % =====
172 % 4. CALCULO DE BER Y RECONSTRUCCION DE TEXTO
173 % =====
174
175 % Recortar bits de relleno (padding)
176 bits_recortados = bits_recibidos(1:n_bits_originales);
177
178 % Contar errores (comparacion bit a bit)
179 nErrores = sum(bits(1:n_bits_originales) ~= bits_recibidos(1:
    n_bits_originales));
180
181 % Calculo de probabilidad de error
182 Probabilidad_error = nErrores / n_bits_originales;
183
184 % Reconstruccion de binario a texto
185 bytes_bin = reshape(bits_recortados', 8, [])';
186 ascii_rx = bin2dec(num2str(bytes_bin));
187 trama_rx = char(ascii_rx);
188
189 % Mostrar resultados en consola
190 disp('-----');
191 disp(['nErrores: ', num2str(nErrores)]);
192 disp(['Probabilidad_error_bit_experimental: ', num2str(
    Probabilidad_error)]);
193 disp('-----');
194 disp('Texto a transmitir:');
195 disp(texto);
196 disp(' ');
197 disp('Trama de texto recibida (con el mejor N):');
198 disp(trama_rx);
199 disp('-----');
200
201 % =====
202 % 5. GRAFICOS Y ANALISIS
203 % =====
204
205 fs = 50e6; % Frecuencia de muestreo (50 Msps)

```

```

206
207 % --- FIGURA 1: DIAGRAMA DE CONSTELACION ---
208 figure(1);
209 % Puntos recibidos (Rojo)
210 scatter(real(Xr(:)), imag(Xr(:)), 'r');
211 hold on; grid on; axis equal;
212 % Puntos teoricos transmitidos (Azul) - Se usa unique para no saturar el
    plot
213 [X_unicos, ~] = unique(X(:));
214 scatter(real(X_unicos), imag(X_unicos), 100, 'b', 'filled');
215 title('Diagrama de Constelacion');
216 legend('Recibidos (Sin Ecualizar)', 'Teoricos');
217 hold off;
218
219 % --- FIGURA 2: DOMINIO DEL TIEMPO ---
220 time = length(y) * (1/fs);
221 times = linspace(0, time, length(y));
222
223 figure(2); clf;
224 grid on; hold on;
225
226 % 1. Senal Transmitida (AZUL) - Fondo
227 plot(times, real(x1), 'b', 'DisplayName', 'Senal x(t) Transmitida');
228
229 % 2. Senal Recibida (VERDE) - Frente (Afectada por ruido y canal)
230 plot(times, real(y), 'g', 'DisplayName', 'Senal y(t) Recibida');
231
232 title('Comparacion Temporal Tx vs Rx');
233 xlabel('Tiempo (s)');
234 ylabel('Amplitud');
235 legend('show');
236 hold off;
237
238 % --- FIGURA 4: ESPECTRO DE FRECUENCIA ---
239 figure(4);
240 % Espectro TX (quitando CP para ver solo datos utiles)
241 x1_util = x1(Ncp+1:end);
242 X_fft = fftshift(fft(x1_util));
243 frequencies = (-length(x1_util)/2 : length(x1_util)/2 - 1) * fs / length
    (x1_util);
244
245 plot(frequencies/1e6, abs(X_fft)/sqrt(N), 'b');
246 hold on;
247
248 % Espectro RX
249 y_sin_cp = y(Ncp+1:end);
250 y_fft = fftshift(fft(y_sin_cp));
251 N_y = length(y_sin_cp);
252 freq_y = (-N_y/2 : N_y/2 - 1) * fs / N_y;
253
254 plot(freq_y/1e6, abs(y_fft)/sqrt(N), 'g');
255
256 title('Espectro Comparativo Tx vs Rx');
257 xlabel('Frecuencia (MHz)');
258 legend('Tx', 'Rx');
259 grid on;
260 xlim([-25 25]); % Limitar vista a ancho de banda de Nyquist
261

```

```

262 % --- FIGURA 5: SENAL RECIBIDA (SOLO RX) ---
263 figure(5)
264 plot(times, real(y));
265 title('Senal y(t) Recibida en el osciloscopio');
266 xlabel('Tiempo (s)');
267 ylabel('Amplitud');
268 grid on;
269
270 % --- FIGURA 6: RESPUESTA EN FRECUENCIA DEL CANAL (Bode) ---
271 figure(6)
272 % Mapeo de eje de frecuencias para la mitad positiva
273 freqs_MHz = frequencies(2049:4096)/1e6;
274 % Magnitud en dB
275 magnitud_dB = 20*log10(abs(Ho)) + 50; % +50 es un offset visual
    arbitrario
276
277 plot(freqs_MHz, magnitud_dB, 'LineWidth', 1.5);
278 title('Respuesta en Frecuencia del Canal PLC Simulado');
279 xlabel('Frecuencia (MHz)');
280 ylabel('Magnitud (dB)');
281 grid on;
282 xlim([0 25]);

```

Listing 2: Script principal de simulacion OFDM

15.1.3. RAM.m

```

1 % Carga 4652 muestras
2 x = load('x1.mat');
3
4 % 2. Escalar a enteros de 10 bits CON SIGNO (-512 a +511)
5 max_val = max(abs(x1));
6 dac_max_int = 511;
7 scale_factor = dac_max_int / max_val;
8 x_quantized = round(x1 * scale_factor);
9
10 % 3. Saturar por si acaso
11 x_quantized(x_quantized > 511) = 511;
12 x_quantized(x_quantized < -512) = -512;
13
14 % 4. Convertir a Complemento a 2 (formato logico interno)
15 % Esto nos da el string binario base
16 fi_c2 = fi(x_quantized, 1, 10, 0); % 1=signed
17 bin_strings_c2 = bin(fi_c2);
18
19 % 5. CONVERTIR A BINARIO NATURAL/OFFSET (para el DAC)
20 % "Negar el bit de mayor peso"
21 bin_strings_offset = bin_strings_c2; % Copiamos la matriz
22
23 for i = 1:length(x_quantized)
24     if bin_strings_c2(i, 1) == '0'
25         bin_strings_offset(i, 1) = '1'; % Invertimos 0 -> 1
26     else
27         bin_strings_offset(i, 1) = '0'; % Invertimos 1 -> 0
28     end
29 end
30
31 % 6. Generar el Archivo .coe (ahora con el formato Offset)

```

```

32 fid = fopen('ofdm_samples_offset.coe', 'w');
33 fprintf(fid, 'memory_initialization_radix=2;\n');
34 fprintf(fid, 'memory_initialization_vector=\n');
35
36 % 7. Escribir los strings binarios (offset)
37 for i = 1:size(bin_strings_offset, 1)
38     fprintf(fid, '%s,\n', bin_strings_offset(i,:));
39 end
40 fclose(fid);
41
42 disp('Archivo ofdm_samples_offset.coe generado');
43 disp('Este archivo esta en formato Binario Natural (Offset) para el DAC.
    ');

```

Listing 3: Generación de Archivos de Inicialización de Memoria (.COE).

15.1.4. capturador_datos.m

```

1 clear; clc; close all;
2
3 % --- CONFIGURACION -----
4 nombre_csv = 'SDS00001.CSV'; % Archivo generado por el
   osciloscopio
5 fila_inicio_datos = 14; % Fila de inicio de datos (ignora
   encabezado)
6 columna_voltaje = 2; % Columna B (Indice 2 en MATLAB)
7 muestras_necesarias_50msps = 4652; % Longitud requerida por el script
   OFDM
8 nombre_salida_mat = 'y_real_50msps.mat'; % Archivo de salida
9 % -----
10
11 % 1. Cargar la senal capturada (100 MSps)
12 disp(['Cargando datos desde ', nombre_csv, '...']);
13 try
14     opts = detectImportOptions(nombre_csv);
15     opts.DataLines = [fila_inicio_datos, Inf];
16     opts.SelectedVariableNames = [columna_voltaje];
17
18     y_capturado_100msps = readmatrix(nombre_csv, opts);
19 catch e
20     disp(e);
21     error(['No se pudo leer el archivo CSV: ', nombre_csv]);
22 end
23
24 disp(['Se cargaron ', num2str(length(y_capturado_100msps)), ' muestras a
   100 MSps.']);
25
26 % 2. DIEZMAR (Downsampling 2:1) -> 100 MSps a 50 MSps
27 y_capturado_50msps = y_capturado_100msps(1:2:end); % Submuestreo factor
   2
28 disp(['Datos diezmados a ', num2str(length(y_capturado_50msps)), '
   muestras (50 MSps).']);
29
30 % 3. Recortar (Asumiendo trigger correcto al inicio)
31 if length(y_capturado_50msps) >= muestras_necesarias_50msps
32     y_recortado = y_capturado_50msps(1 : muestras_necesarias_50msps);
33 else

```



```

34     error(['Captura demasiado corta! Se esperaban 4652 muestras, pero
           solo se obtuvieron ', num2str(length(y_capturado_50msps))]);
35 end
36
37 % 4. Guardar la variable 'y' cruda en un archivo .mat
38 y = y_recortado; % Asignacion para guardar con el nombre correcto
39 save(nombre_salida_mat, 'y');
40
41 disp('Exito!');
42 disp(['Se ha guardado la variable "y" en el archivo ', nombre_salida_mat
       ]);
43
44 % Cargar referencia si existe (para graficar)
45 if exist('x1.mat', 'file')
46     load('x1.mat');
47 else
48     x1 = zeros(size(y));
49 end
50
51 % 5. Graficar para verificacion visual
52 figure(2)
53 subplot(2,1,1)
54 plot(y)
55 title('Senal y(t) Recibida (sin shift)')
56 hold on
57 subplot(2,1,2)
58 plot(x1)
59 title('Senal x(t) Transmitida (Referencia)')
60 hold off

```

Listing 4: Script de Captura y Acondicionamiento de Datos

15.1.5. OFDM_implementation.m

```

1 clear; clc; close all;
2 format long g;
3
4 % =====
5 % TRANSMISION
6 % =====
7
8 % --- SECCION DE CONFIGURACION ---
9 % 1. Definicion de las subportadoras
10 subportadoras = [205:218, 223:287, 300:413, 418:573, 588:615] .* 2;
11 % 2. Definicion del mensaje
12 texto = 'ella durmio, al calor de las masas';
13 % 3. Forzado de tamano (1 Simbolo = 4652 muestras)
14 Ni = 1;
15 % --- FIN DE CONFIGURACION ---
16
17 % Definicion de parametros
18 N = 4096; % Cantidad de subportadoras totales
19 Ncp = 556; % Longitud en muestras del prefijo ciclico
20 num_subportadoras = length(subportadoras);
21
22 % --- LOGICA DE BITS ---
23 % Mensaje a transmitir
24 ascii_valores = double(texto);

```



```
25 binario_cell = cell(1, length(ascii_valores));
26
27 for i = 1:length(ascii_valores)
28     binario_cell{i} = dec2bin(ascii_valores(i), 8);
29 end
30
31 cadena_binaria_unica = [binario_cell{:}];
32 simbolos_originales = cadena_binaria_unica - '0';
33 n_bits_originales = length(simbolos_originales);
34
35 % Comprobacion de capacidad
36 capacidad_total_bits = num_subportadoras * Ni;
37 if n_bits_originales > capacidad_total_bits
38     error('MENSAJE DEMASIADO LARGO!');
39 end
40
41 % Relleno con ceros si el mensaje es mas corto (Padding)
42 num_bits_a_agregar = capacidad_total_bits - n_bits_originales;
43 simbolos = [simbolos_originales; zeros(num_bits_a_agregar, 1)];
44 bits = simbolos;
45
46 % Modulacion BPSK con normalizacion de potencia unitaria
47 s = pskmod(simbolos, 2, pi);
48 s = s / sqrt(mean(abs(s).^2));
49 X = reshape(s, num_subportadoras, Ni); % Matriz de simbolos para las
    subportadoras activas
50
51 % Inicializacion del vector de transmision
52 x = zeros((Ncp+N)*Ni, 1);
53
54 % Transmision OFDM
55 for i = 1:Ni
56     Xa = zeros(N, 1); % Inicializacion del vector de subportadoras con
        ceros
57     Xa(subportadoras) = X(:, i); % Mapeo de subportadoras activas en
        posiciones correspondientes
58
59     % Imposicion de simetria hermitica
60     Xa(N/2+2:N) = conj(flipud(Xa(2:N/2)));
61
62     xa = sqrt(N) * ifft(Xa); % IFFT normalizada por sqrt(N)
63
64     % Extension del prefijo ciclico
65     xa_ext = [xa(end-Ncp+1:end); xa];
66
67     % Almacenamiento de la senal transmitida
68     x((Ncp+N)*(i-1)+1:(Ncp+N)*i) = xa_ext;
69 end
70
71 x1 = x; % Copia para graficos posteriores
72
73
74 % =====
75 % RECEPCION
76 % =====
77
78 datos_cargados = load('y_real_50msps.mat');
79 y_original = datos_cargados.y;
```

```

80
81 resultados_barrido = zeros(4652, 2);
82 bits_originales_cortados = bits(1:n_bits_originales);
83
84 % --- VARIABLES DE OPTIMIZACION ---
85 % Inicializacion del error minimo en un valor alto para garantizar
    actualizacion
86 min_prob_acumulada = 2;
87 Xr_optimo = zeros(num_subportadoras, Ni);
88 mejor_N_corrimento = 0;
89
90 disp('Iniciando barrido de sincronizacion (0 a 4651)...');
91
92 for N_CORRIMIENTO = 0:4651
93
94     % 1. Desplazamiento Circular
95     y_temp = circshift(y_original, N_CORRIMIENTO);
96
97     % 2. Procesamiento OFDM (FFT y Extraccion)
98     Xr_temp = zeros(num_subportadoras, Ni);
99     for i = 1:Ni
100         yrext = y_temp((Ncp+N)*(i-1)+1:(Ncp+N)*i);
101         yr = yrext(Ncp+1:end);
102         Yr = fft(yr) / sqrt(N);
103         Xr_temp(:, i) = Yr(subportadoras); % Extraccion de subportadoras
104     end
105
106     % 3. Demodulacion y Calculo de BER (Evaluacion de candidato)
107     bits_recibidos_temp = pskdemod(Xr_temp(:), 2, pi);
108     bits_rec_cortados = bits_recibidos_temp(1:n_bits_originales);
109
110     nErrores_temp = sum(bits_originales_cortados ~= bits_rec_cortados);
111     prob_error_actual = nErrores_temp / n_bits_originales;
112
113     % Almacenamiento del resultado en la tabla general
114     resultados_barrido(N_CORRIMIENTO + 1, :) = [N_CORRIMIENTO,
        prob_error_actual];
115
116     % --- LOGICA DE OPTIMIZACION ---
117     % Si el error actual es menor al minimo registrado, se actualizan
        los valores optimos
118     if prob_error_actual < min_prob_acumulada
119         min_prob_acumulada = prob_error_actual;
120         mejor_N_corrimento = N_CORRIMIENTO;
121         Xr_optimo = Xr_temp; % Almacenamiento de la constelacion
            ganadora
122     end
123
124     if mod(N_CORRIMIENTO, 500) == 0
125         fprintf('Probando N_CORRIMIENTO = %d de 4651...\n',
            N_CORRIMIENTO);
126     end
127 end
128
129 % --- RESULTADOS FINALES ---
130 min_prob = min_prob_acumulada;
131 nErrores_final = round(min_prob * n_bits_originales);
132

```

```

133 fprintf('--- Barrido Completado! ---\n');
134 % disp('Matriz de resultados (N_Corrimiento vs. Prob_Error):');
135 % disp(sortrows(resultados_barrido, 2)(1:10, :));
136
137 fprintf('Mejor resultado encontrado:\n');
138 fprintf('  N_CORRIMIENTO = %d\n', mejor_N_corrimiento);
139 fprintf('  Errores = %d / %d\n', nErrores_final, n_bits_originales);
140 fprintf('  Probabilidad de Error = %.4f (%.2f%%)\n', min_prob, min_prob
    *100);
141
142 % --- ASIGNACION FINAL ---
143 Xr = Xr_optimo; % Recuperacion de la mejor constelacion
144 y = circshift(y_original, mejor_N_corrimiento); % Actualizacion de senal
    temporal para graficos
145
146
147 % =====
148 % PROCESAMIENTO DE SALIDA
149 % =====
150
151 bits_recibidos = pskdemod(Xr(:), 2, pi);
152 nBits = length(bits_recibidos);
153
154 % Calculo de la cantidad final de errores
155 nErrores = sum(bits(1:n_bits_originales) ~= bits_recibidos(1:
    n_bits_originales));
156 Probabilidad_error_bit_experimental = nErrores / n_bits_originales;
157
158 % Reconstruccion de Texto
159 bits_recortados = bits_recibidos(1:n_bits_originales);
160 bytes_recibidos_binario = reshape(bits_recortados', 8, [])';
161 ascii_recibidos = bin2dec(num2str(bytes_recibidos_binario));
162 trama_recibida = char(ascii_recibidos);
163
164 disp('Texto a transmitir:');
165 disp(texto);
166 disp('Trama recibida:');
167 disp(trama_recibida);
168
169
170 % =====
171 % GRAFICOS
172 % =====
173
174 fs = 50e6;
175
176 % 1. DIAGRAMA DE CONSTELACION
177 figure(1);
178 scatter(real(Xr(:)), imag(Xr(:)), 'r');
179 hold on; grid on; axis equal;
180 [X_unicos, idx_unicos] = unique(X(:));
181 simbolos_unicos = simbolos(idx_unicos);
182 etiquetas_bin = de2bi(simbolos_unicos, 1, 'left-msb');
183
184 % Graficado de los puntos transmitidos con etiqueta binaria
185 for i = 1:length(X_unicos)
186     scatter(real(X_unicos(i)), imag(X_unicos(i)), 100, 'b', 'filled');

```

```

187     text(real(X_unicos(i)), imag(X_unicos(i)), sprintf('%d',
188         etiquetas_bin(i, :)), ...
189         'Color', 'k', 'FontSize', 10, 'HorizontalAlignment', 'center', '
190         VerticalAlignment', 'top');
191 end
192 hold off;
193 title('Diagrama de Constelacion BPSK - OFDM sobre canal PLC');
194 legend('Simbolos Recibidos', 'Simbolos Teoricos');
195
196 % 2. DOMINIO DEL TIEMPO
197 time = length(y) * (1/50e6);
198 times = linspace(0, time, length(y));
199
200 figure(2); clf; grid on; hold on;
201 plot(times, real(x1), 'b', 'DisplayName', 'Senal x(t) Transmitida');
202 plot(times, real(y), 'g', 'DisplayName', ['Senal y(t) Recibida (Shift ',
203     num2str(mejor_N_corrimiento), ')']);
204 title('Senal en el Tiempo'); xlabel('Tiempo (s)'); ylabel('Amplitud');
205 legend('show'); hold off;
206
207 % 3. ESPECTRO COMPARATIVO
208 figure(4); clf; grid on; hold on;
209
210 % --- A. SENAL TRANSMITIDA (Eliminacion de CP para visualizar datos
211     planos) ---
212 x1_sin_cp = x1(Ncp+1:end);
213 X_fft = fft(x1_sin_cp);
214 X_fft_shifted = fftshift(X_fft);
215 N_total_x = length(X_fft);
216 frequencies_x = (-N_total_x/2 : N_total_x/2 - 1) * (fs / N_total_x);
217 plot(frequencies_x / 1e6, abs(X_fft_shifted) / sqrt(N), 'b', 'LineWidth',
218     1, 'DisplayName', 'Transmitida (x1)');
219
220 % --- B. SENAL RECIBIDA ---
221 y_sin_cp = y(Ncp+1:end);
222 y_fft = fft(y_sin_cp);
223 y_fft_shifted = fftshift(y_fft);
224 N_total_y = length(y_fft);
225 frequencies_y = (-N_total_y/2 : N_total_y/2 - 1) * (fs / N_total_y);
226 plot(frequencies_y / 1e6, abs(y_fft_shifted) / sqrt(N), 'g', 'LineWidth',
227     1, 'DisplayName', 'Recibida (y)');
228
229 title('Espectro Comparativo: Tx vs Rx');
230 xlabel('Frecuencia (MHz)'); legend('show'); xlim([-25 25]);
231 hold off;
232
233 % 4. RESPUESTA DEL CANAL H(f)
234 % Calculo mediante Xr (Recibido demodulado) y X (Transmitido demodulado)
235 H_est_activa = Xr ./ X;
236
237 % Eje de frecuencias para subportadoras activas
238 freqs_activas = (subportadoras - 1) * (fs / N);
239
240 figure(6); clf;
241 plot(freqs_activas / 1e6, 20*log10(abs(H_est_activa)), 'b', 'LineWidth',
242     1.5);
243 title('Respuesta en Frecuencia del Canal H(f) (Experimental)');
244 xlabel('Frecuencia (MHz)');

```

```
238 ylabel('Magnitud (dB)');
239 grid on;
240 xlim([5 15]);
```

Listing 5: Script de Procesamiento Experimental (Validación)

15.2. Arquitectura en Hardware

15.2.1. top.vhd

```
1 library IEEE;
2 use IEEE.STD_LOGIC_1164.ALL;
3
4 entity top is
5     Port (
6         -- Entradas
7         clk          : in  STD_LOGIC;  -- Reloj de 100 MHz (ZedBoard)
8         rst          : in  STD_LOGIC;  -- Reset global (activo alto)
9
10        -- Salidas de reloj al AFE
11        clk_out_afe1  : out STD_LOGIC;  -- Clock 100 MHz
12        clk_out_afe2  : out STD_LOGIC;  -- Clock 50 MHz
13
14        -- Senales de control AFE
15        entx_afe      : out STD_LOGIC;
16        enread_afe     : out STD_LOGIC;
17        shrcv_afe     : out STD_LOGIC;
18        freeze_afe    : out STD_LOGIC;
19        swr_afe       : out STD_LOGIC;
20        stby_afe      : out STD_LOGIC;
21        rst_out_afe    : out STD_LOGIC;
22
23        -- SPI hacia el AFE
24        cs_afe        : out STD_LOGIC;
25        sclk_afe       : out STD_LOGIC;
26        sdio_afe       : out STD_LOGIC;
27
28        -- Salida de datos al AFE
29        dad_afe       : out STD_LOGIC_VECTOR(9 downto 0)
30    );
31 end top;
32
33 architecture Structural of top is
34
35     -- Senales internas
36     signal clk_100mhz      : std_logic;
37     signal clk_50mhz       : std_logic;
38     signal locked          : std_logic;
39     signal rst_afe_counter : integer range 0 to 15 := 0;
40     signal rst_out_afe_reg : std_logic := '0';
41     signal cs_afe_int      : std_logic;
42     signal sclk_afe_int    : std_logic;
43     signal sdio_afe_int    : std_logic;
44     signal ofdm_signal_out : std_logic_vector(9 downto 0); -- Salida del
45                          player
46
47     -- Atributos KEEP (para que el optimizador no borre senales)
48     attribute keep : string;
```



```
48 attribute keep of clk_out_afe1 : signal is "true";
49 attribute keep of clk_out_afe2 : signal is "true";
50 attribute keep of dad_afe       : signal is "true";
51 attribute keep of entx_afe      : signal is "true";
52 attribute keep of enread_afe    : signal is "true";
53 attribute keep of shrcv_afe     : signal is "true";
54 attribute keep of freeze_afe    : signal is "true";
55 attribute keep of swr_afe       : signal is "true";
56 attribute keep of stby_afe      : signal is "true";
57 attribute keep of rst_out_afe   : signal is "true";
58 attribute keep of cs_afe        : signal is "true";
59 attribute keep of sclk_afe      : signal is "true";
60 attribute keep of sdio_afe      : signal is "true";
61
62 -- Componentes
63 component clk_wiz_0
64     Port (
65         clk_in1    : in  std_logic;
66         reset      : in  std_logic;
67         clk_out1    : out std_logic;
68         clk_out2    : out std_logic;
69         locked      : out std_logic
70     );
71 end component;
72
73 component spi_config_afe_tx
74     Port (
75         clk        : in  std_logic;
76         rst        : in  std_logic;
77         cs_afe     : out std_logic;
78         sclk_afe   : out std_logic;
79         sdio_afe   : out std_logic
80     );
81 end component;
82
83 component ofdm_rom_player
84     Port (
85         clk        : in  STD_LOGIC;
86         rst        : in  STD_LOGIC;
87         locked     : in  STD_LOGIC;
88         rom_data   : out STD_LOGIC_VECTOR(9 downto 0)
89     );
90 end component;
91
92 component ila_0
93     port (
94         clk        : in  std_logic;
95         probe0     : in  std_logic;
96         probe1     : in  std_logic;
97         probe2     : in  std_logic;
98         probe3     : in  std_logic;
99         probe4     : in  std_logic_vector(9 downto 0)
100    );
101 end component;
102
103
104 begin
105
```




```
106  -- Relojes
107  clkgen_inst : clk_wiz_0
108      port map (
109          clk_in1    => clk,
110          reset      => rst,
111          clk_out1   => clk_100mhz,
112          clk_out2   => clk_50mhz,
113          locked     => locked
114      );
115  clk_out_afe1 <= clk_100mhz;
116  clk_out_afe2 <= clk_50mhz;
117
118  -- Reset del AFE
119  process(clk_50mhz)
120  begin
121      if rising_edge(clk_50mhz) then
122          if rst = '1' then
123              rst_afe_counter <= 0;
124              rst_out_afe_reg <= '0';
125          elsif rst_afe_counter < 5 then -- 5 ciclos @ 50MHz = 100 ns
126              rst_afe_counter <= rst_afe_counter + 1;
127              rst_out_afe_reg <= '0';
128          else
129              rst_out_afe_reg <= '1';
130          end if;
131      end if;
132  end process;
133  rst_out_afe <= rst_out_afe_reg;
134
135  -- Controles del AFE (Modo TX)
136  entx_afe    <= '1';
137  enread_afe  <= '1';
138  shrcv_afe   <= '1';
139  freeze_afe  <= '1';
140  swr_afe     <= '1';
141  stby_afe    <= '0';
142
143  -- Instanciacion del ROM
144  ofdm_player_inst : ofdm_rom_player
145      port map (
146          clk      => clk_50mhz,
147          rst      => rst,
148          locked   => locked,
149          rom_data => ofdm_signal_out
150      );
151
152  -- Salida final al AFE
153  dad_afe <= ofdm_signal_out;
154
155  -- Modulo SPI
156  spi_inst : spi_config_afe_tx
157      port map (
158          clk      => clk_50mhz,
159          rst      => rst,
160          cs_afe   => cs_afe_int,
161          sclk_afe => sclk_afe_int,
162          sdio_afe => sdio_afe_int
163      );
```

```

164     cs_afe    <= cs_afe_int;
165     sclk_afe  <= sclk_afe_int;
166     sdio_afe  <= sdio_afe_int;
167
168     -- Modulo ILA
169     ila_inst : ila_0
170         port map (
171         clk      => clk_50mhz,
172         probe0   => cs_afe_int,
173         probe1   => sclk_afe_int,
174         probe2   => sdio_afe_int,
175         probe3   => rst_out_afe_reg,
176         probe4   => ofdm_signal_out
177     );
178
179 end Structural;

```

Listing 6: Implementacion del modulo de nivel superior (top.vhd)

15.2.2. ofdm_rom_player.vhd

```

1  library IEEE;
2  use IEEE.STD_LOGIC_1164.ALL;
3  use IEEE.NUMERIC_STD.ALL;
4
5  -- Este modulo contiene la BRAM y el contador para leerla en bucle.
6
7  entity ofdm_rom_player is
8      Port (
9          clk      : in  STD_LOGIC; -- Reloj de 50 MHz
10         rst      : in  STD_LOGIC; -- Reset (activo alto)
11         locked   : in  STD_LOGIC; -- Senal 'locked' del clock wizard
12         rom_data : out STD_LOGIC_VECTOR(9 downto 0) -- Salida de 10
13             bits al AFE
14     );
15 end ofdm_rom_player;
16
17 architecture Behavioral of ofdm_rom_player is
18     -- Senal para la direccion de la ROM (13 bits para 8192 de
19     -- profundidad)
20     signal rom_address : std_logic_vector(12 downto 0) := (others => '0');
21
22     -- Declaracion del componente de la BRAM (el IP que crearemos en
23     -- Paso 3)
24     component OFDM_RAM
25         Port (
26             clka : in  std_logic;
27             addra : in  std_logic_vector(12 downto 0);
28             douta : out std_logic_vector(9 downto 0)
29         );
30     end component;
31
32 begin
33     -- Instanciar la ROM
34     rom_inst : OFDM_RAM

```

```

34     port map (
35         clka => clk,           -- Conectado al reloj de 50 MHz
36         addra => rom_address,
37         douta => rom_data     -- Salida directa al puerto del
                                modulo
38     );
39
40     -- Proceso del contador que lee la ROM
41     rom_address_counter : process(clk)
42     begin
43         if rising_edge(clk) then
44             -- Resetea el contador si 'rst' esta activo 0 si el MMCM (
45             clk_wiz) no esta 'locked'
46             if rst = '1' or locked = '0' then
47                 rom_address <= (others => '0');
48             else
49                 -- 4651 es la ultima muestra (0 a 4651 = 4652 muestras)
50                 -- 4651 en 13 bits es "1001000101011"
51                 if rom_address = "1001000101011" then
52                     rom_address <= (others => '0'); -- Vuelve al inicio
53                     (Loop)
54                 else
55                     rom_address <= std_logic_vector(unsigned(rom_address
56                     ) + 1);
57                 end if;
58             end if;
59         end if;
60     end process;
61 end Behavioral;

```

Listing 7: Generador de señal y control de memoria (ofdm_rom_player.vhd)

15.2.3. spi_config_afe_tx.vhd

```

1  library IEEE;
2  use IEEE.STD_LOGIC_1164.ALL;
3  use IEEE.NUMERIC_STD.ALL;
4
5  entity spi_config_afe_tx is
6      Port (
7          clk      : in  std_logic;  -- Reloj de 50 MHz
8          rst      : in  std_logic;  -- Reset activo en alto
9          cs_afe   : out std_logic;
10         sclk_afe  : out std_logic;
11         sdio_afe  : out std_logic
12     );
13 end spi_config_afe_tx;
14
15 architecture Behavioral of spi_config_afe_tx is
16     type state_type is (IDLE, LOAD, SHIFT, WAIT_STATE, DONE);
17     signal state : state_type := IDLE;
18
19     -- Definicion de los registros de configuracion del MAX2981
20     constant R1 : std_logic_vector(18 downto 0) := "10000000000000000000";
21     ;
22     constant R2 : std_logic_vector(18 downto 0) := "00010000000000000100";
23     ;

```



```

22     constant R3 : std_logic_vector(18 downto 0) := "0000000000010111010"
23     ;
24     constant R6 : std_logic_vector(18 downto 0) := "0000000000010011101"
25     ;
26     signal shift_reg : std_logic_vector(18 downto 0) := (others => '0')
27     ;
28     signal bit_cnt   : integer range 0 to 18 := 0;
29     signal reg_index : integer range 0 to 3 := 0;
30     signal clk_cnt   : integer range 0 to 1 := 0;
31     signal wait_cnt  : integer range 0 to 10 := 0;
32
33     signal cs_reg      : std_logic := '1';
34     signal sclk_reg    : std_logic := '0';
35     signal sdio_reg    : std_logic := '0';
36
37 begin
38     cs_afe    <= cs_reg;
39     sclk_afe  <= sclk_reg;
40     sdio_afe  <= sdio_reg;
41
42     process(clk)
43     begin
44         if rising_edge(clk) then
45             if rst = '1' then
46                 state      <= IDLE;
47                 reg_index  <= 0;
48                 shift_reg  <= (others => '0');
49                 cs_reg     <= '1';
50                 sclk_reg   <= '0';
51                 sdio_reg   <= '0';
52                 bit_cnt    <= 0;
53                 clk_cnt    <= 0;
54                 wait_cnt   <= 0;
55             else
56                 case state is
57                     when IDLE =>
58                         if reg_index <= 3 then
59                             state <= LOAD;
60                         else
61                             state <= DONE;
62                         end if;
63                     when LOAD =>
64                         case reg_index is
65                             when 0 => shift_reg <= R1;
66                             when 1 => shift_reg <= R2;
67                             when 2 => shift_reg <= R3;
68                             when 3 => shift_reg <= R6;
69                             when others => shift_reg <= (others => '0');
70                         end case;
71                         cs_reg    <= '0';
72                         sclk_reg  <= '0';
73                         bit_cnt   <= 0;
74                         clk_cnt   <= 0;
75                         state     <= SHIFT;
76                     when SHIFT =>

```

```

77         clk_cnt <= clk_cnt + 1;
78         if clk_cnt = 0 then
79             sclk_reg <= '0';
80             sdio_reg <= shift_reg(18);
81         elsif clk_cnt = 1 then
82             sclk_reg <= '1';
83             shift_reg <= shift_reg(17 downto 0) & '0';
84             bit_cnt <= bit_cnt + 1;
85             clk_cnt <= 0;
86             if bit_cnt = 18 then
87                 state <= WAIT_STATE;
88                 cs_reg <= '1';
89                 wait_cnt <= 0;
90             end if;
91         end if;
92
93         when WAIT_STATE =>
94             wait_cnt <= wait_cnt + 1;
95             if wait_cnt = 5 then
96                 reg_index <= reg_index + 1;
97                 state <= IDLE;
98             end if;
99
100        when DONE =>
101            cs_reg <= '1';
102            sclk_reg <= '0';
103            sdio_reg <= '0';
104        end case;
105    end if;
106 end if;
107 end process;
108 end Behavioral;

```

Listing 8: Controlador SPI para la configuración del AFE (spi_config_afe_tx.vhd)

15.2.4. zedboard.xdc

```

1  ## =====
2  ## Entradas desde ZedBoard
3  ## =====
4
5  # Clock 100 MHz de la ZedBoard (oscilador IC17 -> FPGA pin Y9)
6  set_property PACKAGE_PIN Y9 [get_ports clk]
7  set_property IOSTANDARD LVCMOS33 [get_ports clk]
8  create_clock -period 10.000 -name sys_clk -waveform {0 5} [get_ports clk
9  ]
10
11 # Boton de Reset (SW0 -> FPGA pin T18)
12 set_property PACKAGE_PIN T18 [get_ports rst]
13 set_property IOSTANDARD LVCMOS33 [get_ports rst]
14
15 ## =====
16 ## Relojes de salida al AFE (FMC-LPC)
17 ## =====
18
19 # Clock 100 MHz -> FMC pin D24 -> FPGA pin C15
20 set_property PACKAGE_PIN C15 [get_ports clk_out_afe1]
21 set_property IOSTANDARD LVCMOS33 [get_ports clk_out_afe1]

```



```
21
22 # Clock 50 MHz -> FMC pin D27 -> FPGA pin E18
23 set_property PACKAGE_PIN E18 [get_ports clk_out_afe2]
24 set_property IOSTANDARD LVCMOS33 [get_ports clk_out_afe2]
25
26 ## =====
27
28 # dad_afe[0] -> FMC pin C11 -> FPGA pin L22
29 set_property PACKAGE_PIN L22 [get_ports {dad_afe[0]}]
30 set_property IOSTANDARD LVCMOS33 [get_ports {dad_afe[0]}]
31
32 # dad_afe[1] -> FMC pin C10 -> FPGA pin L21
33 set_property PACKAGE_PIN L21 [get_ports {dad_afe[1]}]
34 set_property IOSTANDARD LVCMOS33 [get_ports {dad_afe[1]}]
35
36 # dad_afe[2] -> FMC pin C14 -> FPGA pin R19
37 set_property PACKAGE_PIN R19 [get_ports {dad_afe[2]}]
38 set_property IOSTANDARD LVCMOS33 [get_ports {dad_afe[2]}]
39
40 # dad_afe[3] -> FMC pin C15 -> FPGA pin T19
41 set_property PACKAGE_PIN T19 [get_ports {dad_afe[3]}]
42 set_property IOSTANDARD LVCMOS33 [get_ports {dad_afe[3]}]
43
44 # dad_afe[4] -> FMC pin C18 -> FPGA pin K19
45 set_property PACKAGE_PIN K19 [get_ports {dad_afe[4]}]
46 set_property IOSTANDARD LVCMOS33 [get_ports {dad_afe[4]}]
47
48 # dad_afe[5] -> FMC pin C19 -> FPGA pin K20
49 set_property PACKAGE_PIN K20 [get_ports {dad_afe[5]}]
50 set_property IOSTANDARD LVCMOS33 [get_ports {dad_afe[5]}]
51
52 # dad_afe[6] -> FMC pin C22 -> FPGA pin D20
53 set_property PACKAGE_PIN D20 [get_ports {dad_afe[6]}]
54 set_property IOSTANDARD LVCMOS33 [get_ports {dad_afe[6]}]
55
56 # dad_afe[7] -> FMC pin C23 -> FPGA pin C20
57 set_property PACKAGE_PIN C20 [get_ports {dad_afe[7]}]
58 set_property IOSTANDARD LVCMOS33 [get_ports {dad_afe[7]}]
59
60 # dad_afe[8] -> FMC pin C26 -> FPGA pin E21
61 set_property PACKAGE_PIN E21 [get_ports {dad_afe[8]}]
62 set_property IOSTANDARD LVCMOS33 [get_ports {dad_afe[8]}]
63
64 # dad_afe[9] -> FMC pin C27 -> FPGA pin D21
65 set_property PACKAGE_PIN D21 [get_ports {dad_afe[9]}]
66 set_property IOSTANDARD LVCMOS33 [get_ports {dad_afe[9]}]
67
68 ## =====
69 ## Senales de control al AFE
70 ## =====
71
72 # ENTX -> FMC D9 -> FPGA N20
73 set_property PACKAGE_PIN N20 [get_ports entx_afe]
74 set_property IOSTANDARD LVCMOS33 [get_ports entx_afe]
75
76 # ENREAD -> FMC D8 -> FPGA N19
77 set_property PACKAGE_PIN N19 [get_ports enread_afe]
78 set_property IOSTANDARD LVCMOS33 [get_ports enread_afe]
```

```
79
80 # SHRCV -> FMC D19 -> FPGA J18
81 set_property PACKAGE_PIN J18 [get_ports shrcv_afe]
82 set_property IOSTANDARD LVCMOS33 [get_ports shrcv_afe]
83
84 # FREEZE -> FMC D20 -> FPGA B19
85 set_property PACKAGE_PIN B19 [get_ports freeze_afe]
86 set_property IOSTANDARD LVCMOS33 [get_ports freeze_afe]
87
88 # SWR -> FMC D14 -> FPGA R20
89 set_property PACKAGE_PIN R20 [get_ports swr_afe]
90 set_property IOSTANDARD LVCMOS33 [get_ports swr_afe]
91
92 # STBY -> FMC D18 -> FPGA M17
93 set_property PACKAGE_PIN M17 [get_ports stby_afe]
94 set_property IOSTANDARD LVCMOS33 [get_ports stby_afe]
95
96 # RST_OUT -> FMC D17 -> FPGA L17
97 set_property PACKAGE_PIN L17 [get_ports rst_out_afe]
98 set_property IOSTANDARD LVCMOS33 [get_ports rst_out_afe]
99
100 ## =====
101 ## Interfaz SPI hacia el AFE
102 ## =====
103
104 # CS SPI -> FMC D12 -> FPGA K18
105 set_property PACKAGE_PIN K18 [get_ports cs_afe]
106 set_property IOSTANDARD LVCMOS33 [get_ports cs_afe]
107
108 # SCLK SPI -> FMC D24 -> FPGA D15
109 set_property PACKAGE_PIN D15 [get_ports sclk_afe]
110 set_property IOSTANDARD LVCMOS33 [get_ports sclk_afe]
111
112 # SDIO SPI -> FMC D15 -> FPGA R21
113 set_property PACKAGE_PIN R21 [get_ports sdio_afe]
114 set_property IOSTANDARD LVCMOS33 [get_ports sdio_afe]
```

Listing 9: Restricciones físicas y de temporización para ZedBoard (zedboard.xdc)